

첫 신호가 시스템의 운명을 결정한다

Power & Boot Sequence 측정 노하우

전원부트 시퀀스 분석부터 Clock품질 측정까지, 필수 신호 측정의
모든것

Agenda

01 임베디드 시스템 블록도 구성

03 Clock 안정성 및 Phase Noise

05 DC 전원 품질 측정

02 Power Tree 및 Power Sequence

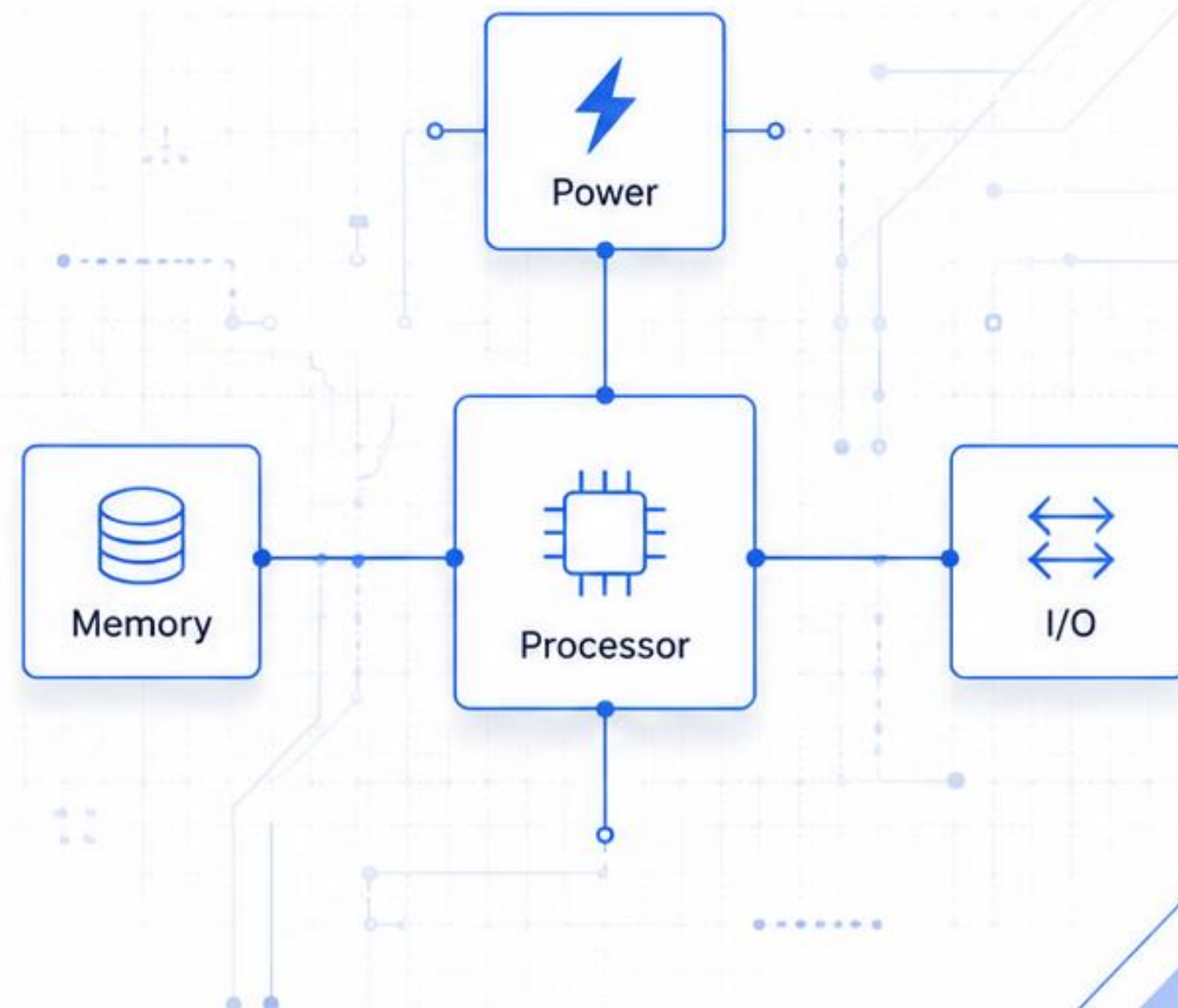
04 부팅 시점의 신호 측정 노하우

06 고급 PI vs SI 프리뷰

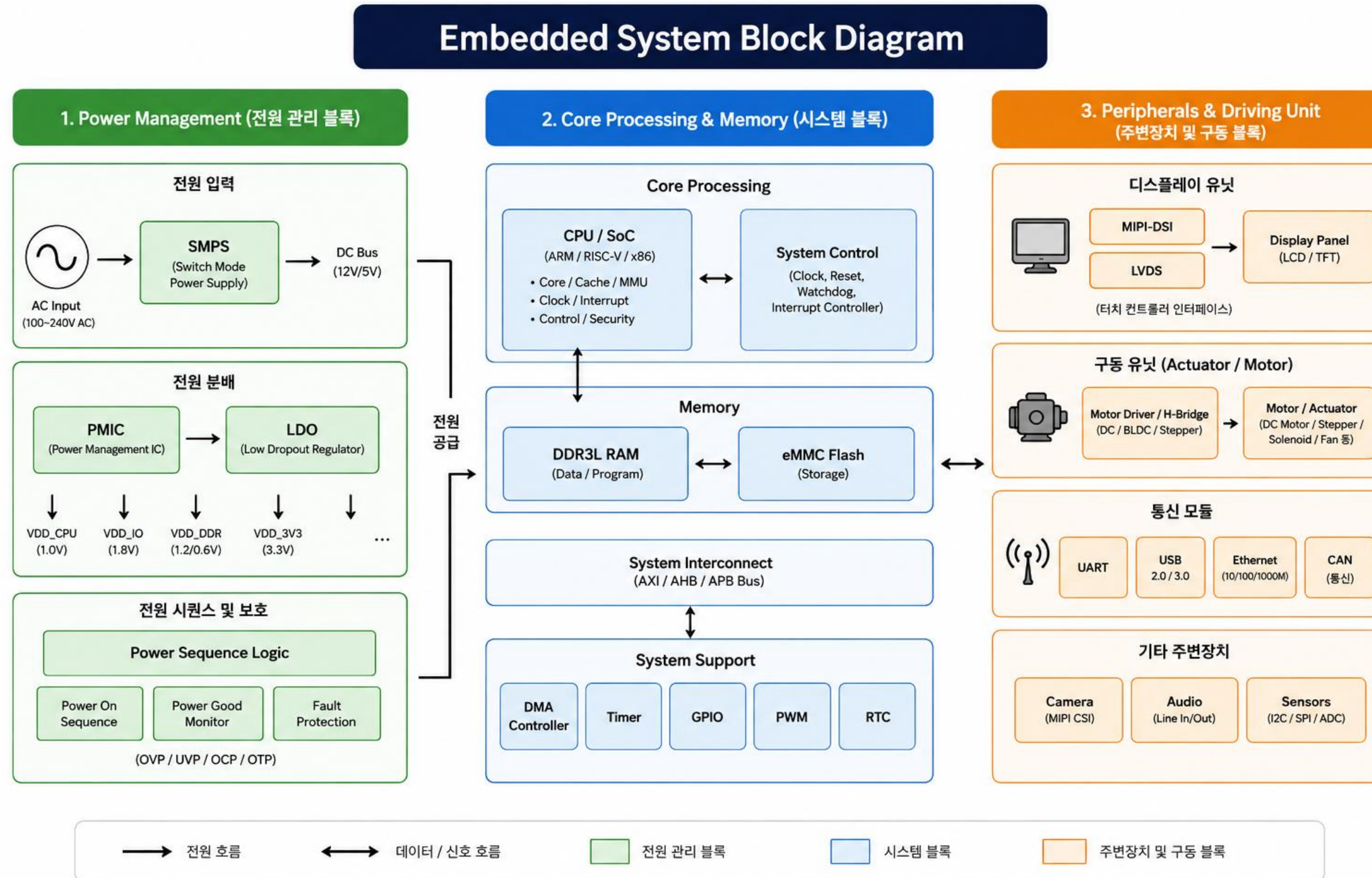
EMBEDDED SYSTEM ARCHITECTURE

임베디드 시스템 블록도 구성

전원 · 처리 · 저장 · 입출력으로 구성된 시스템의 기본 구조



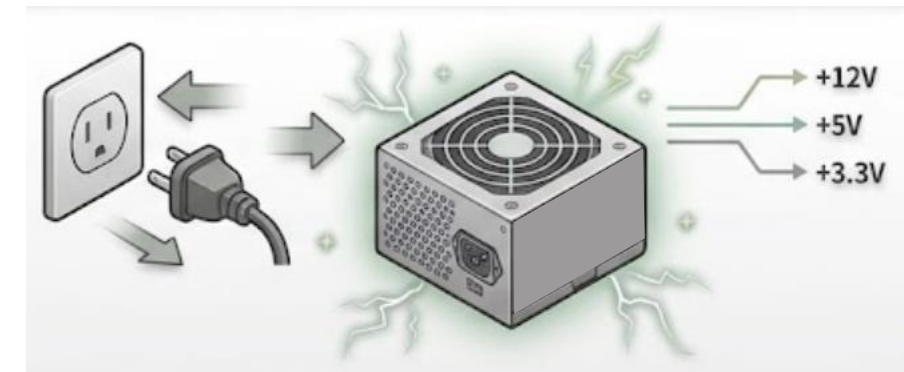
임베디드 시스템 - 블록 다이어그램



임베디드 시스템 - 시퀀스

전원 인가 시퀀스(Power-on Sequence)

시스템에 전원이 공급된 순간부터 CPU가 실행 가능한 상태가 될 때까지의 하드웨어 준비 과정



부트 시퀀스(Boot Sequence)

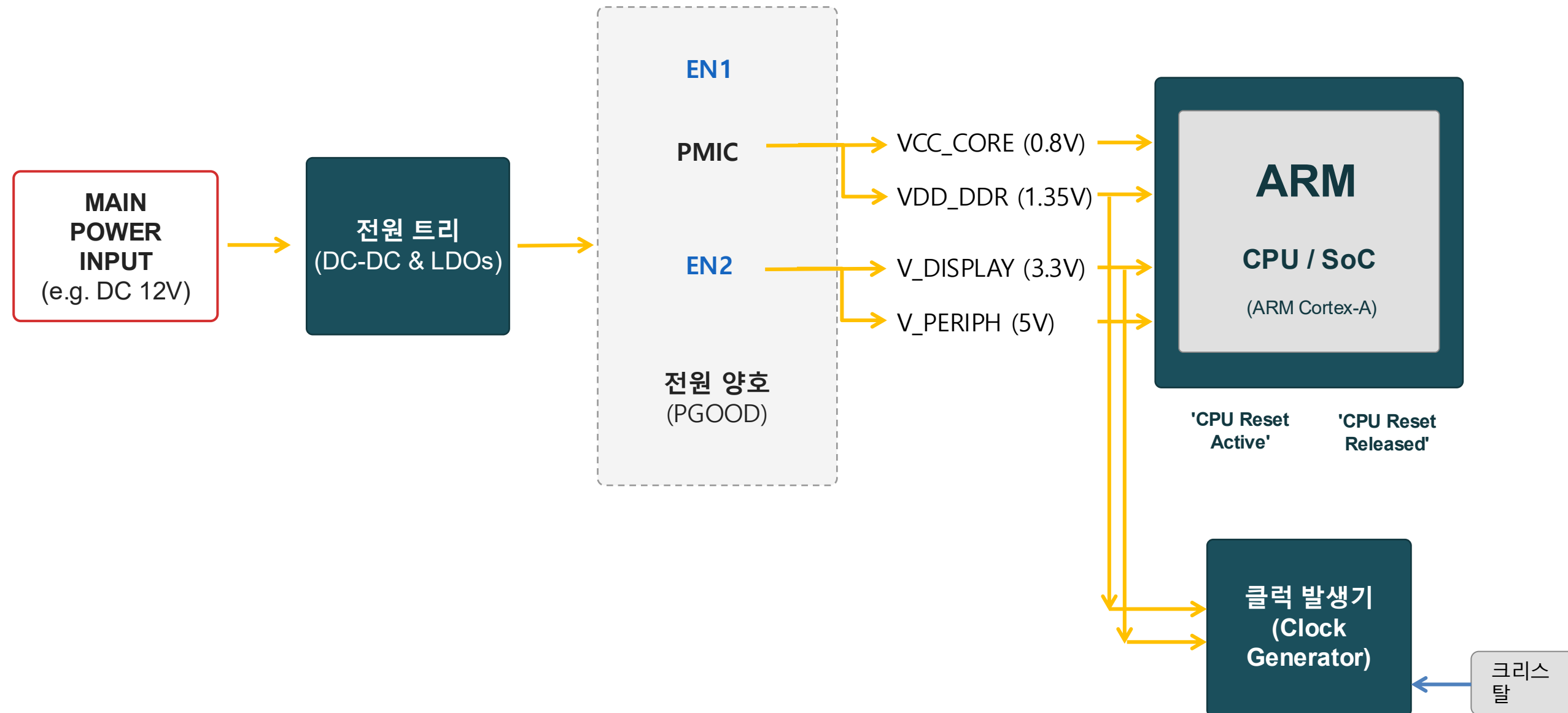
CPU Reset이 해제된 이후 운영체제 또는 어플리케이션이 실행될 때 까지의 소프트웨어 시작과정



임베디드 시스템 - 상세 블록

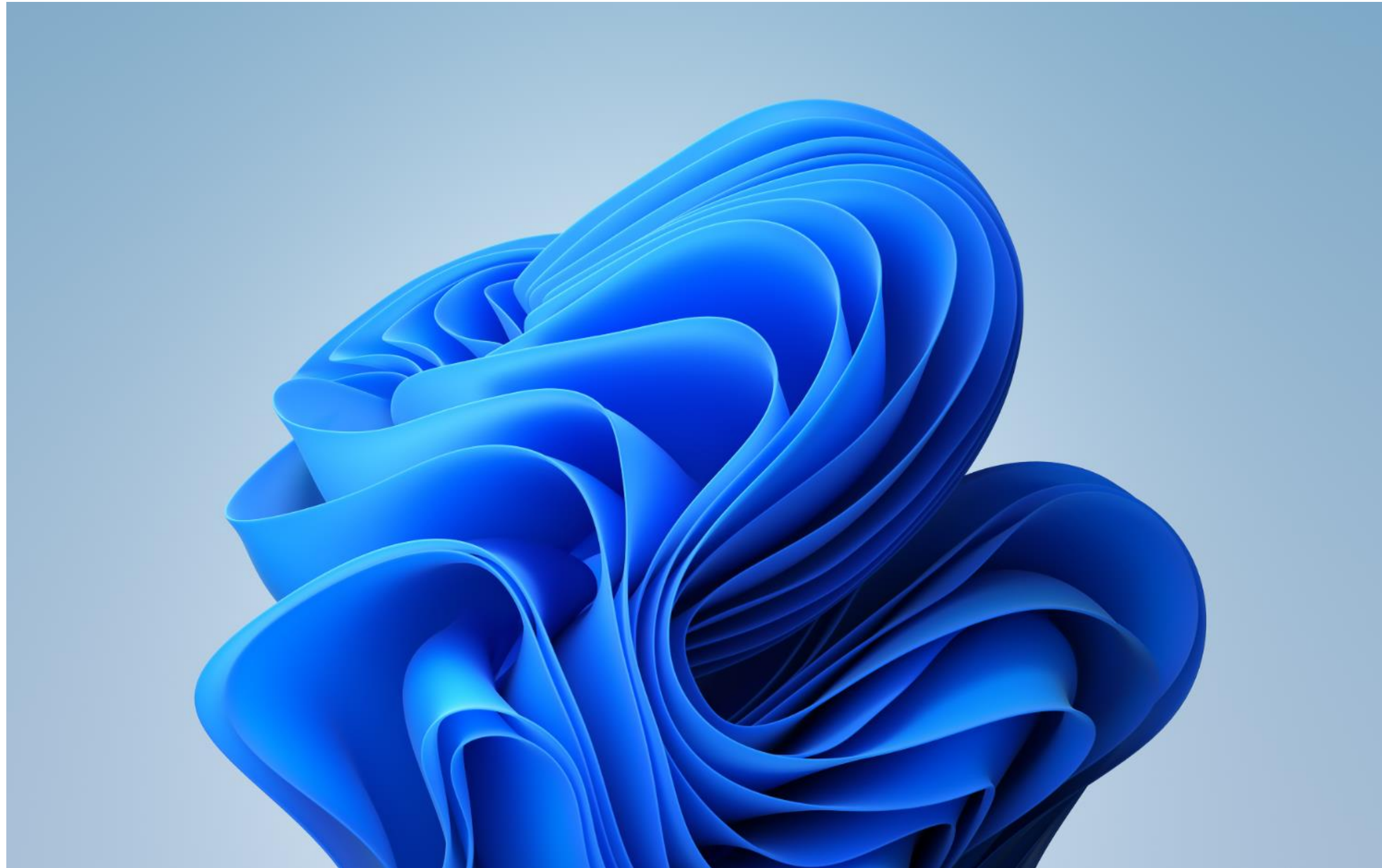
전원 및 시퀀스 (Power-on Sequence)

타이머그림



- Step1. 외부전원 공급
- Step2. 전원 트리 활성화
- Step3. 전원 시퀀스 타이밍
- Step4. 클럭, CPU 안정화

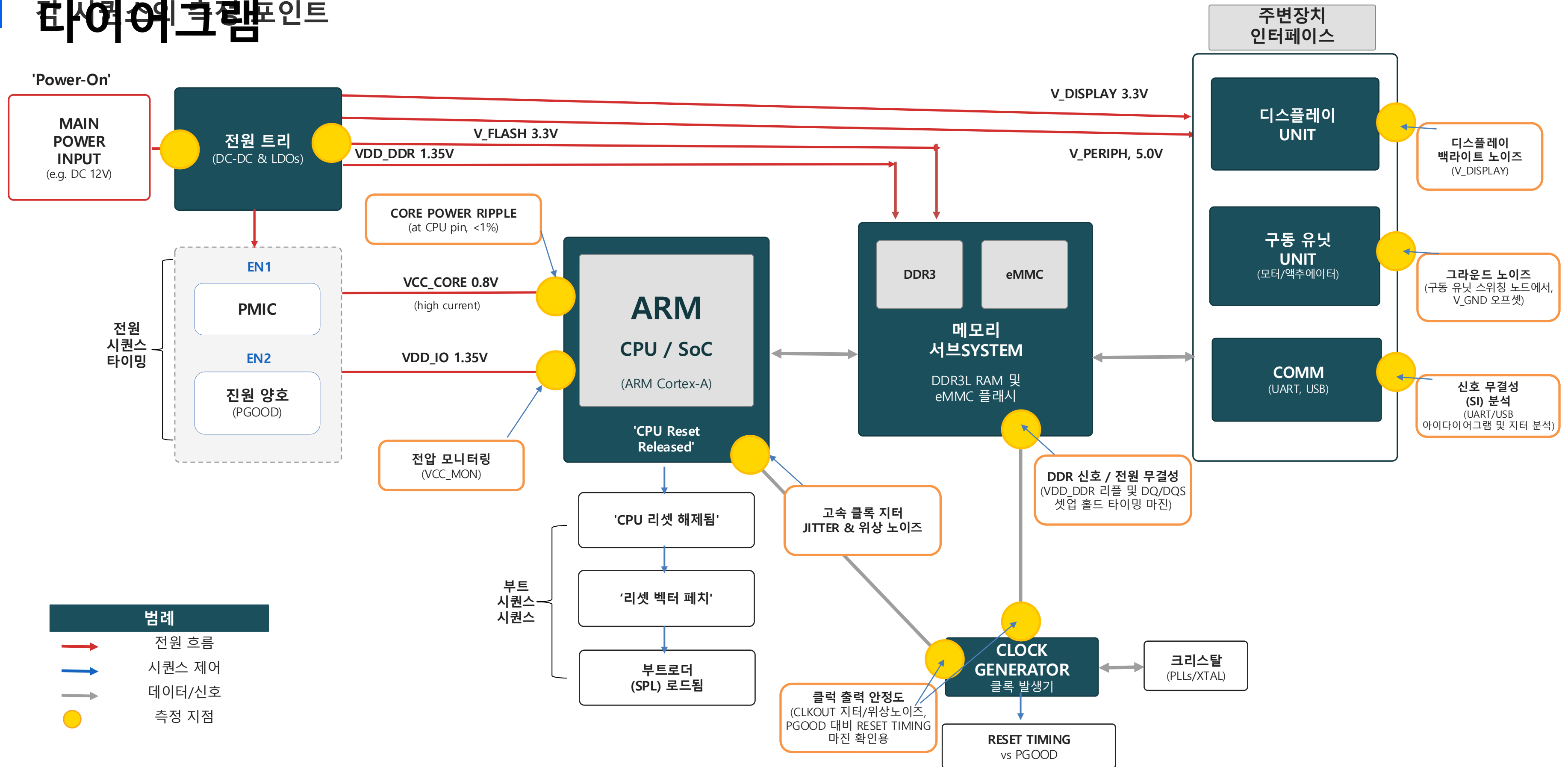
임베디드 시스템 - 상세 블록 타이머 프로그램 (Boot Sequence)



- Step1. CPU Rest Released
- Step2. Reset Vector Fetch
- Step3. Boot Device Search
- Step4. 부트로더(SPL) 로드
- Step5. DDR Initialization
- Step6. Full Bootloader 실행
- Step7. Driver Initialization
(주변장치 초기화)
- Step8. Application Start

임베디드 시스템 - 상세 블록

타이머 프로그램



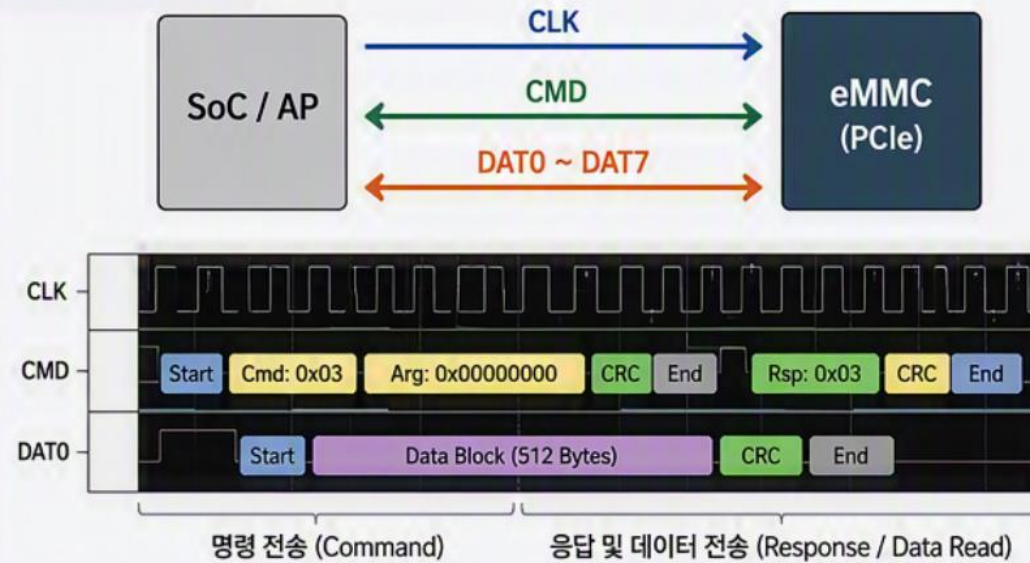
임베디드 시스템 - 상세 블록

타이머와 클럭 포인트 - High Speed

eMMC(PCIe) Interface (Boot Data Loading)

측정 신호
CLK(클럭 존재 여부),
CMD(응답 여부),
DAT0(실제 데이터 Read)

측정 노하우
단순 오실로스코프보다는
로직 애널라이저(Logic Analyzer)를
활용해 프로토콜 수준에서
디코딩하는 것이 훨씬 유리합니다.



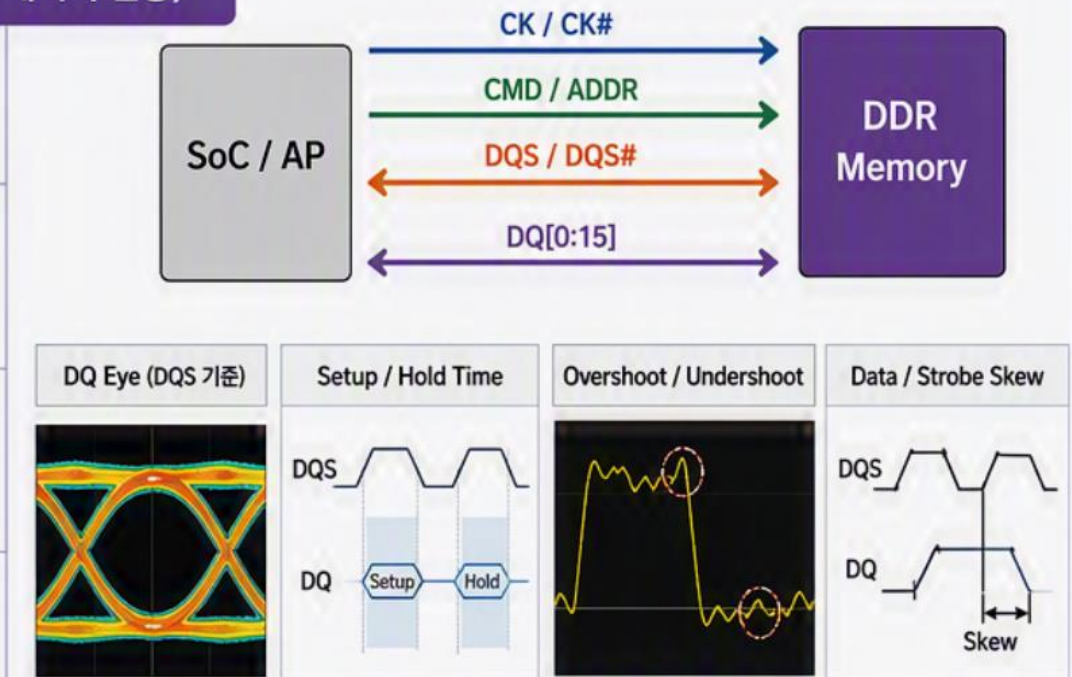
DDR Memory Interface (메모리 데이터 전송)

측정 신호
CK/CK#(Clock), DQS/DQS#(Data Strobe),
DQ(Data), CMD/ADDR(Command / Address)

확인 항목
Eye Opening, Setup/Hold Time,
Overshoot/Undershoot, Ringing,
Data/Strobe Skew

측정 노하우
DDR은 DQS를 기준으로 DQ 데이터를 캡처하므로
DQS와 DQ의 타이밍 관계 및 신호 무결성
(Signal Integrity) 확인이 중요합니다.

주의사항
DDR 신호는 고속으로 동작하고 프로빙에 따른
부하 영향이 크므로 일반 패시브 프로브보다는
저용량 액티브/디퍼런셜 프로브와 충분한 대역폭의
오실로스코프 사용을 권장합니다.

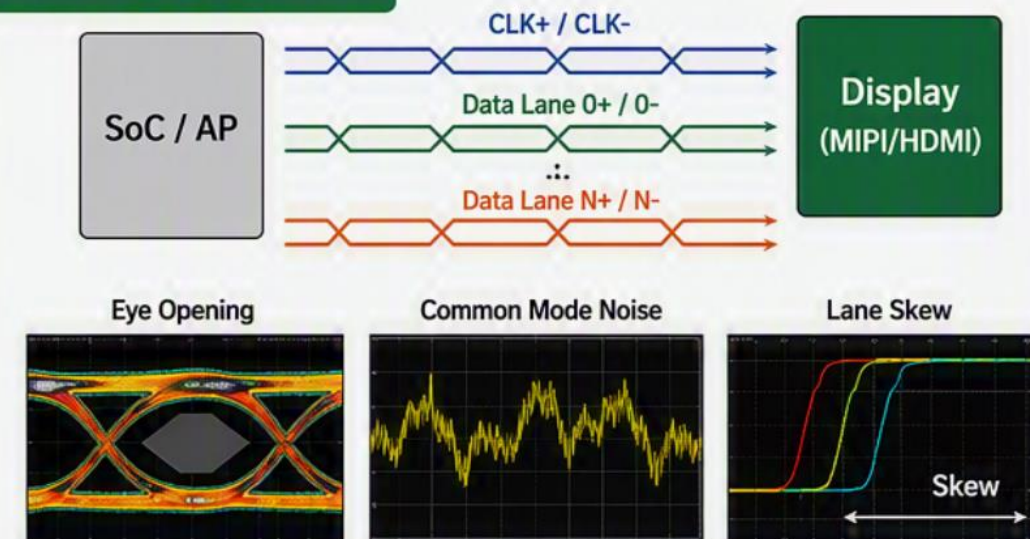


MIPI(HDMI) Display Interface (디스플레이 데이터 전송)

측정 신호
CLK Lane, Data Lane,
Differential Signal

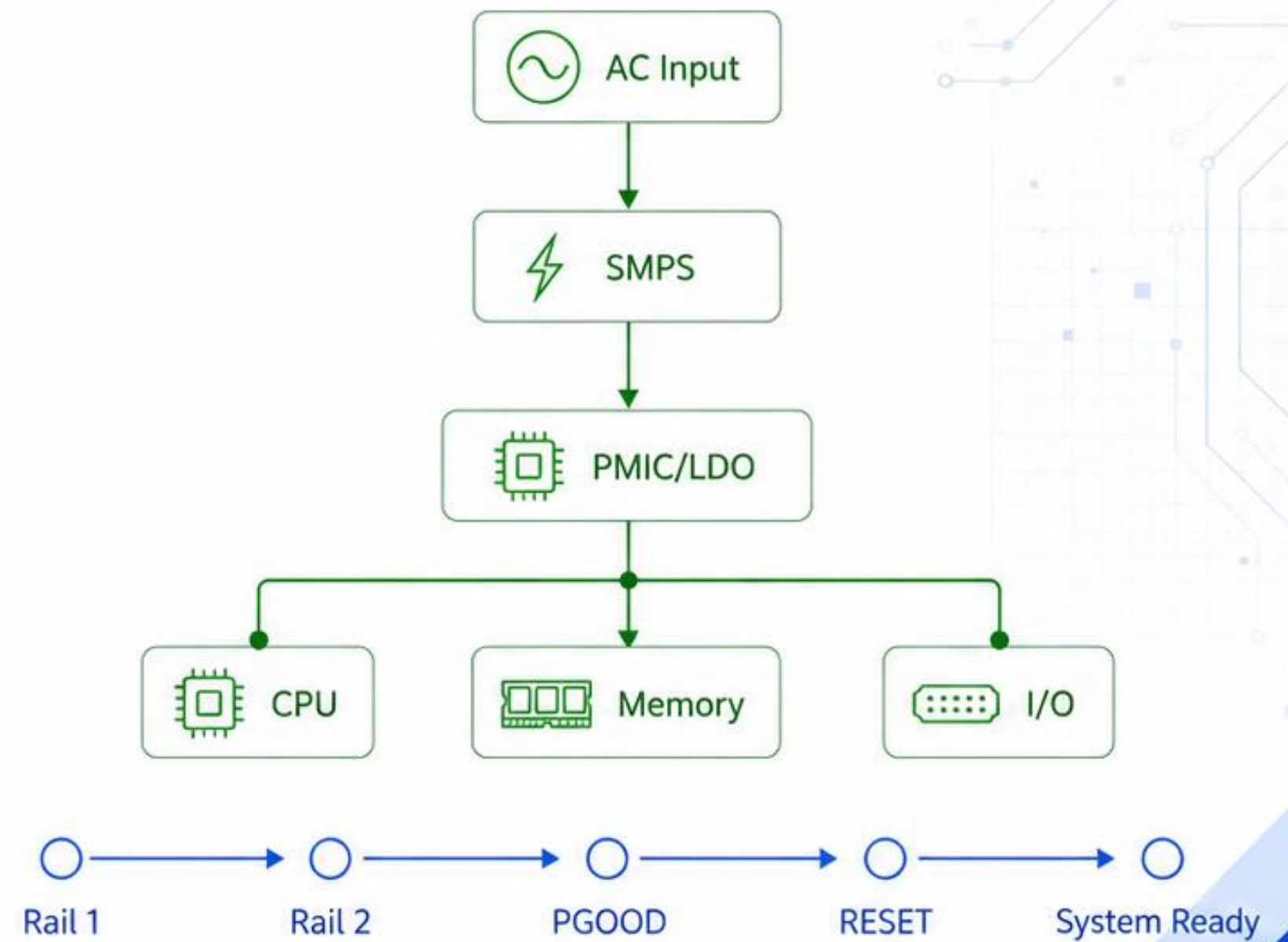
확인 항목
Eye Opening, Common Mode Noise,
Lane Skew

주의사항
신호 품질 저하 및 부하 효과 방지를 위해
일반 10:1 프로브 사용은 절대 금지합니다.



POWER TREE & POWER SEQUENCE

파워 트리 및 파워 시퀀스



Power Block



Power Block Overview

외부에서 입력된 전원을
시스템이 필요로 하는 전압으로
변환하여 공급하는 회로

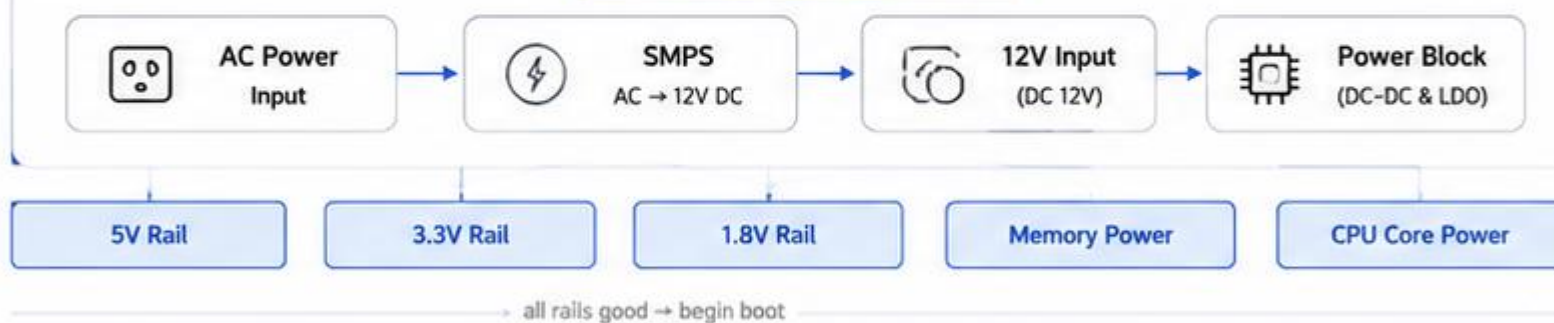
주요 기능

- ✓ 외부 전원 입력 수신
- ✓ 전압 변환 (DC-DC Converter, LDO 등)
- ✓ 전원 필터링 및 노이즈 제거
- ✓ 과전압(OVP), 과전류(OCP) 보호
- ✓ 전원 시퀀싱 (Power Sequencing)

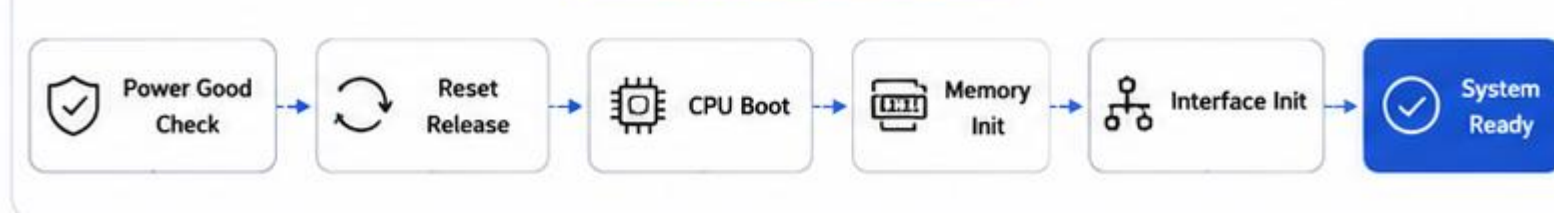
Power-Up & Boot Sequence

From AC Input to System Ready

1. POWER DELIVERY



2. BOOT SEQUENCE



→ 전원 흐름

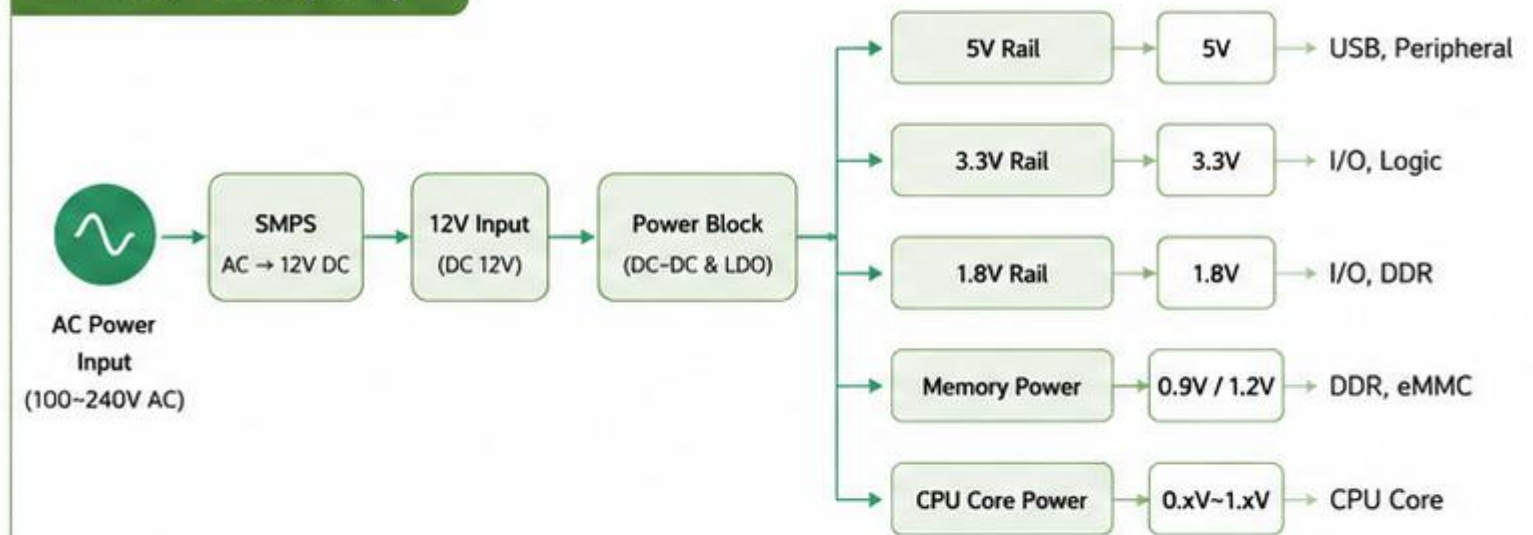
--- 시퀀스 흐름

전원 트리

시퀀스 단계

검증 항목

Power Tree (예시)

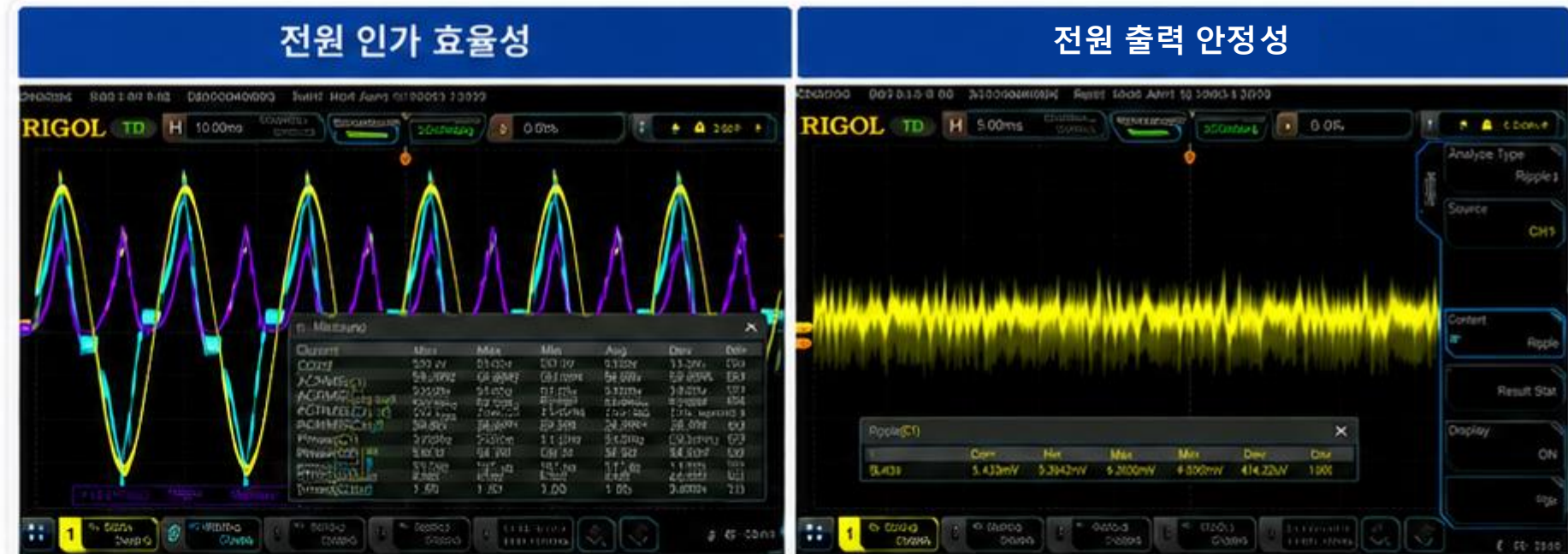


Power Sequence 검증 항목

- ✓ Timing Accuracy | 각 전압 레일 간 Delay 측정 및 규격 확인
- ✓ Monotonic Rise | 전압 상승 시 Dip/Overshoot 없이 단조 증가 여부 확인
- ✓ PGOOD Assertion | 모든 전압 레일 안정화 후 PGOOD Assert 여부 검증
- ✓ Reset Release Timing | PGOOD 이후 적절한 지연 후 시스템 Reset 해제 여부 확인

AC – DC SMPS 측정 방법

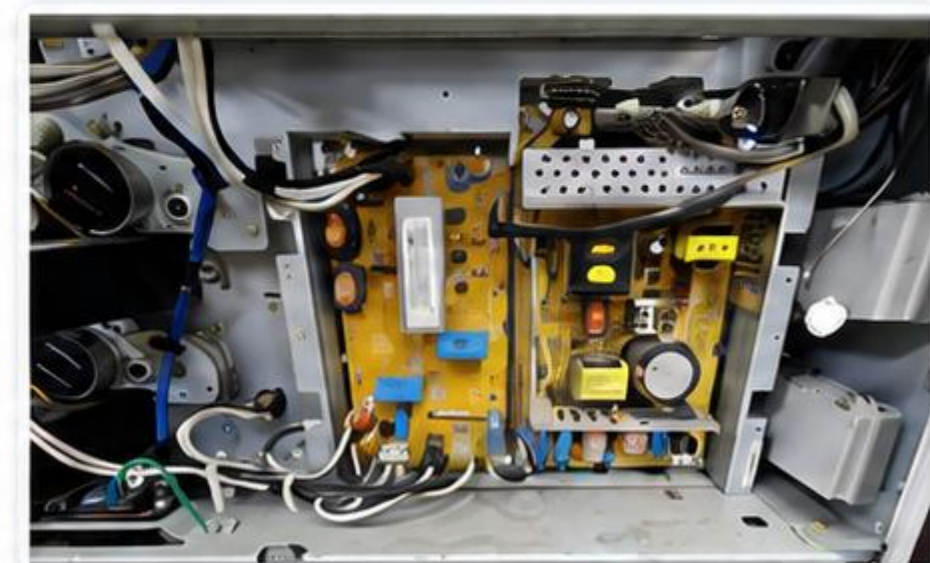
SMPS 검증 시 필수 측정 항목		
측정 항목	목적	
Input Voltage	입력 전압 확인	
Input Current	소비전류 측정	
Output Voltage	출력 전압 정확도	
Output Current	부하 전류 확인	
Ripple & Noise	전압 품질 검증	
Inrush Current	돌입전류 측정	
Rise Time	전원 상승시간	
Power Good Signal	정상 공급 여부	
Efficiency	변환 효율 측정	
Thermal - x	발열 검증	
PWM Duty	제어 안정성 확인	



오실로스코프 옵션을 활용한 전력 효율 및 품질 측정 화면



TV SMPS



복합기 SMPS

HVPS

HVPS(High Voltage Power Supply) 개념



AC 또는 DC 입력전원을 수백 V에서 수십 kV급 고전압으로 변환·제어하는 정밀 전원 장치



핵심 요구사항: 낮은 출력 리플 · 높은 전압 안정도 · 과전압 · 과전류 보호 · 안전 Interlock



HVPS 측정 시 전용 프로브 필요성



고전압 프로브 (HV Probe)



안전 감쇠



절연 설계



높은 입력 임피던스

광절연 프로브 (Isolated Probe)



높은 CMRR



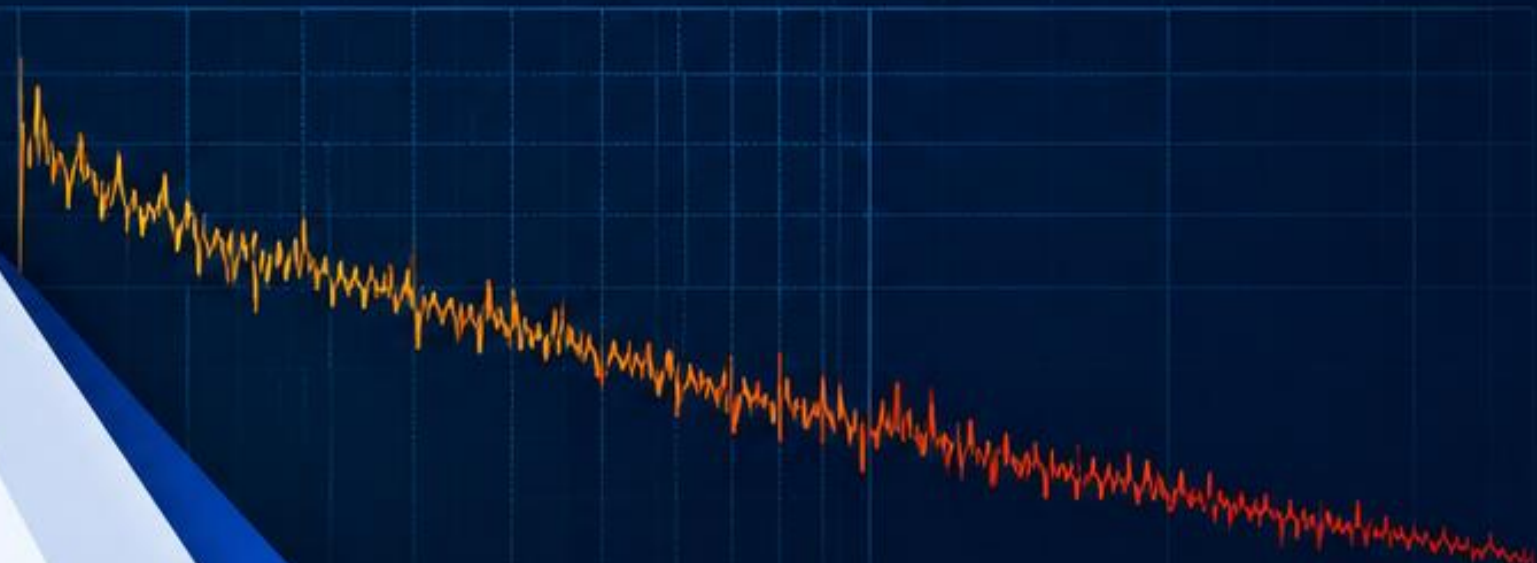
Ground Loop 제거



높은 dv/dt 내성

CLOCK STABILITY & PHASE NOISE

클럭 안정성 및 페이즈 노이즈



CPU 및 SoC initializing

Clock Lock & CPU Boot Sequence

클록 안정화 이후 정상 부팅이 시작됩니다



PLL Lock Time

PLL이 원하는 주파수에 안정적으로 수렴하는 데 걸리는 시간



CPU와 SoC는 안정적인 클록이 준비된 이후에만 정상 부팅 및 제어가 가능합니다

시스템 안정성 기본 핵심 지표 : Phase Noise & Jitter

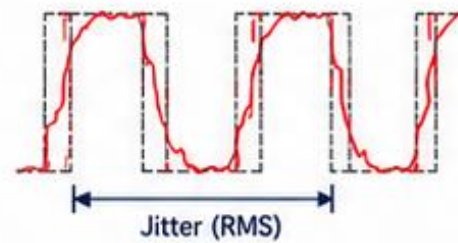
1 Phase Noise

클록 스펙트럼의 위상 잡음



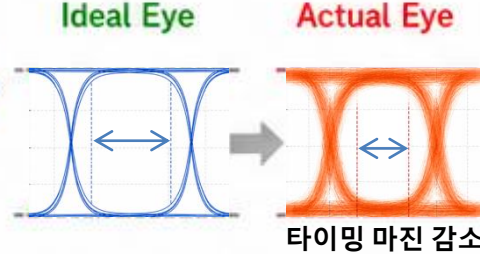
2 Jitter

시간 영역으로 변환



3 Timing Margin 감소

아이 다이어그램 축소 및
BIT Error 증가



왜 10 ps 이하를 강조하나?



PCIe · USB 3.x · DDR · Ethernet PHY · SerDes

고속 인터페이스는 수십~수백 ps 수준의 타이밍 Budget

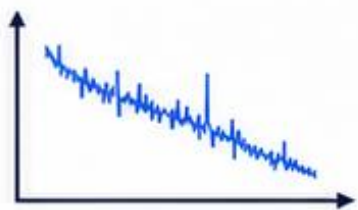


타이밍 Budget 감소 시

Bit Error 증가 · Eye Diagram 축소

Phase Noise 측정 방법

1 직접 스펙트럼 방법



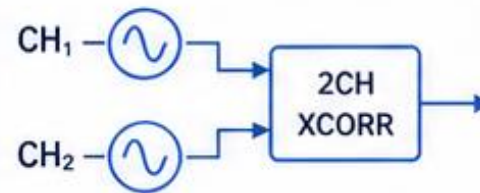
스펙트럼 분석기로
위상 잡음을 직접 측정

2 위상 검출기 방법



위상 검출기로 위상 차이를
변환 후 스펙트럼 분석

3 2채널 상호상관 방법



두 분석기 채널을 이용해
측정기 노이즈 평균화

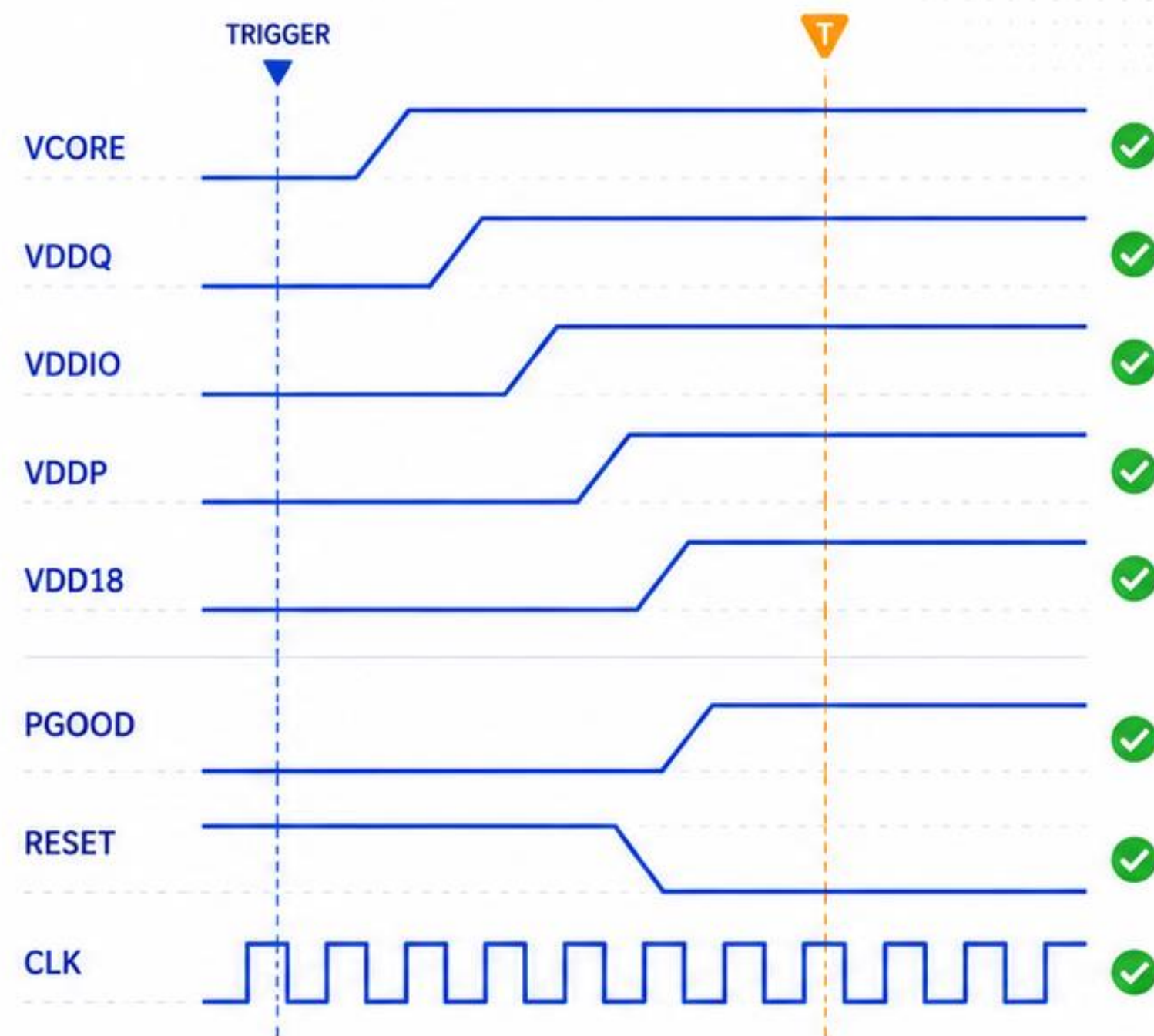
페이즈 노이즈 측정 화면



고속 PLL 기반 클록의 안정화는 **PI 설계와 저노이즈 측정**으로 검증합니다

BOOT SEQUENCE SIGNAL MEASUREMENT

부트 시퀀스 신호 측정 노하우

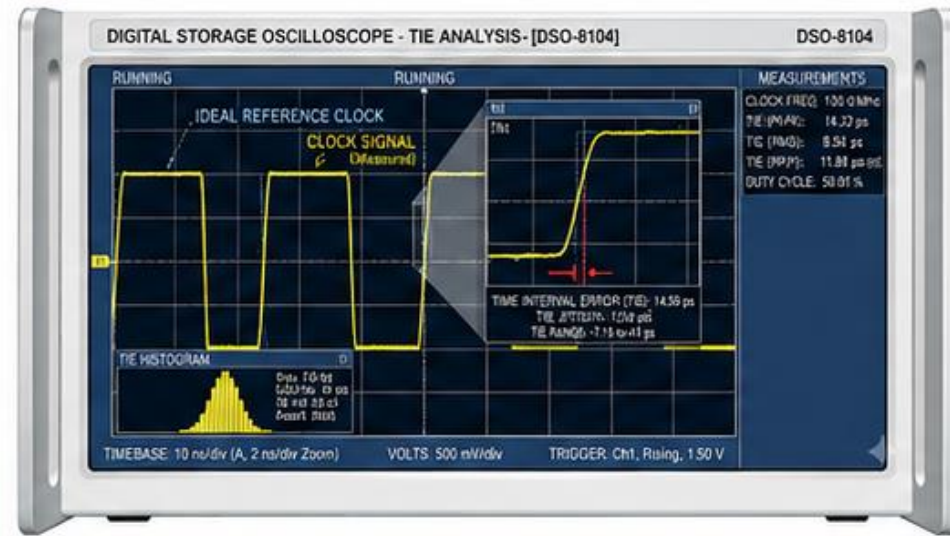


CLK 품질측정

TIE Measurement: Option vs. Manual Method

TIE 옵션 유무에 따른 측정 방식 비교

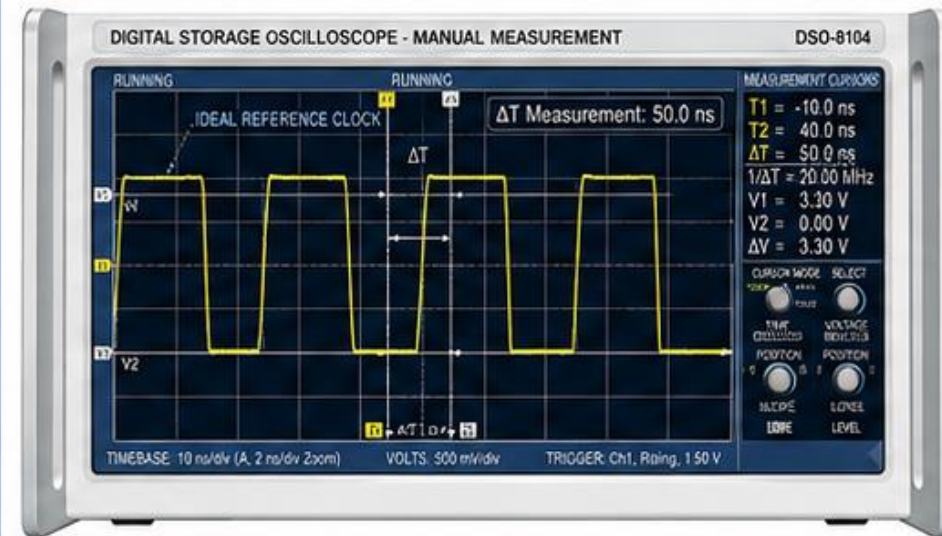
✓ TIE 옵션 사용 **AUTO**



TIE Analysis 옵션이
기준 클럭과 측정 클럭의
시간 오차를 자동 계산

- Reference Clock
- Measured Clock
- TIE Histogram

⚙ 옵션 없이 수동 측정 **MANUAL**

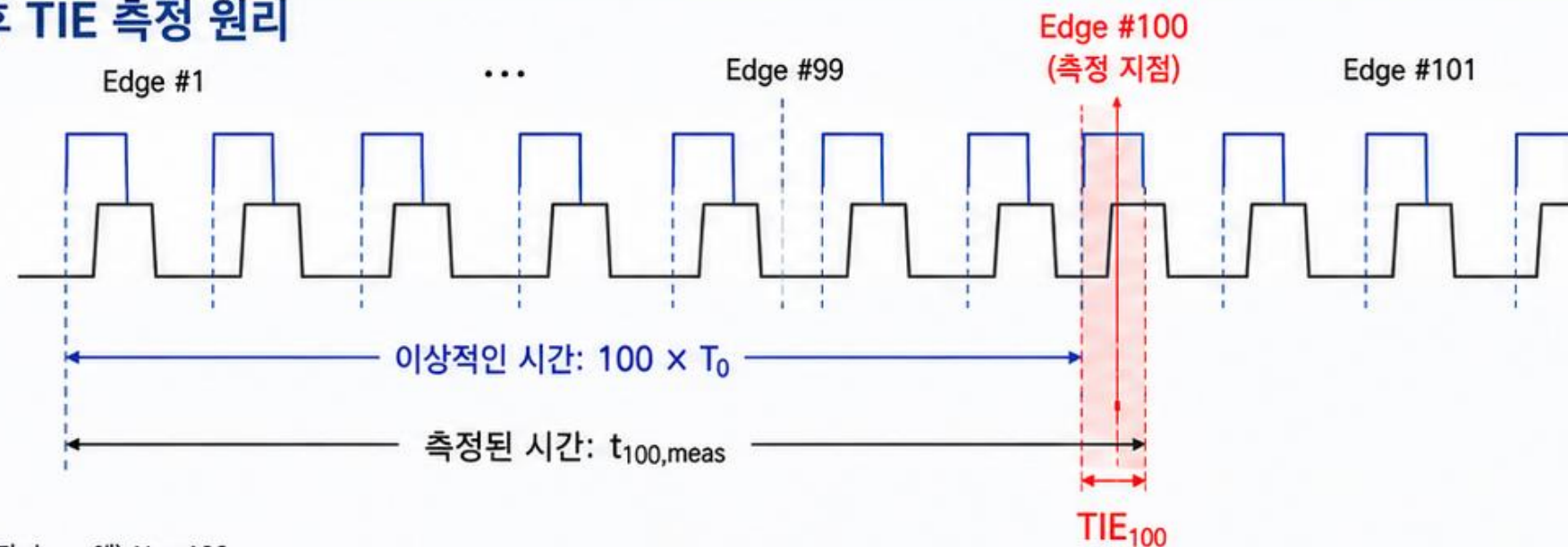


커서와 ΔT 메뉴를 이용해
기준 에지와 측정 에지의
시간 차이를 직접 판독

- Cursor
- ΔT Measurement
- Manual Readout

100번째 파형 누적 후 TIE 측정 원리

- 이상적인 기준 클럭
(Ideal Reference Clock)
- 측정 클럭
(Measured Clock)



100번째 에지에서
누적 시간 오차를 비교

$$TIE_{100} = t_{100,meas} - 100 \times T_0$$

- (+) : 늦음 (Measured is late)
- (-) : 빠름 (Measured is early)

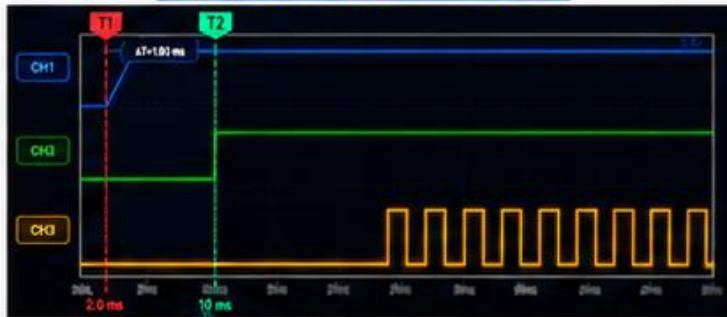
T_0 : 이상적인 클럭 주기 N : 누적 에지 수 예) $N = 100$

시퀀스 Timing 측정

Sequence Timing Measurement & Clock Aliasing

전원 인가 시퀀스와 고속 클록을 정확하게 관찰하는 트리거 설정

이상적인 시퀀스 타이밍



전원 인가 후 각 Power Rail의 순서·지연·PGOOD·Clock 출력을 검증

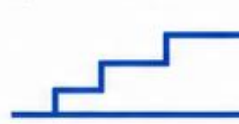
시퀀스 측정의 목적

1 Power On



전원 인가

2 Rail Sequence



전원 레일 순차 상승

3 PGOOD



PGOOD Assert

4 Clock Output



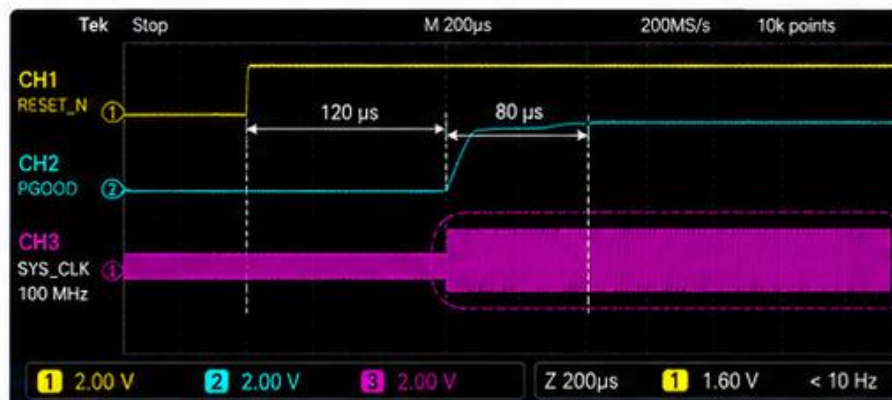
고속 Clock 출력

각 단계가 설정된 순서와 지연으로 정상 동작하는지 검증합니다.

1 장시간대 측정

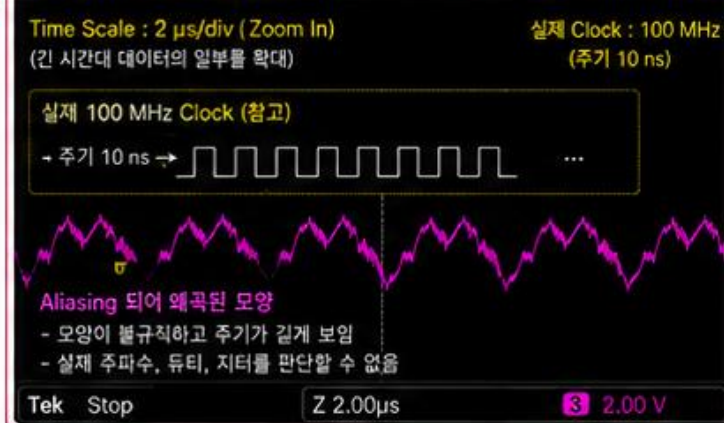
긴 시간대 측정 시 고속 Clock(100 MHz)이 Aliasing 되는 현상

RESET, PGOOD 타이밍을 함께 측정하려고 긴 시간대를 한 번에 Acquisition 하면, 100 MHz Clock이 Aliasing 되어 왜곡된 형태로 보임



2 100 MHz Clock Aliasing

Aliasing 이 발생한 SYS_CLK 확대 (같은 데이터)

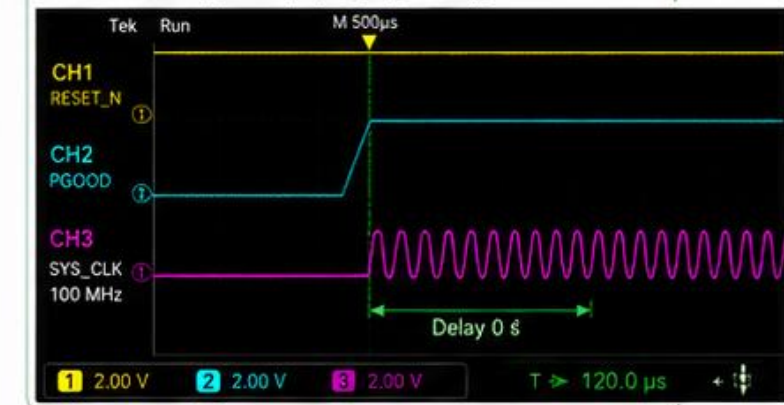


Fast Clock is distorted

3 Trigger Delay / Time Position

Time Position(Delay) 조정

→ RESET 이후 CLK이 나오는 시점으로 이동



Clean Clock View



Trigger 후 Delay 또는 Position 이동



Clock 시작 구간으로 화면 이동



Aliasing 없는 파형 관찰



시퀀스 타이밍 측정 시 장시간대와 고속 클록을 한 화면에無理하게 담지 말고, 트리거 딜레이·포지셔닝으로 측정 구간을 분리합니다.

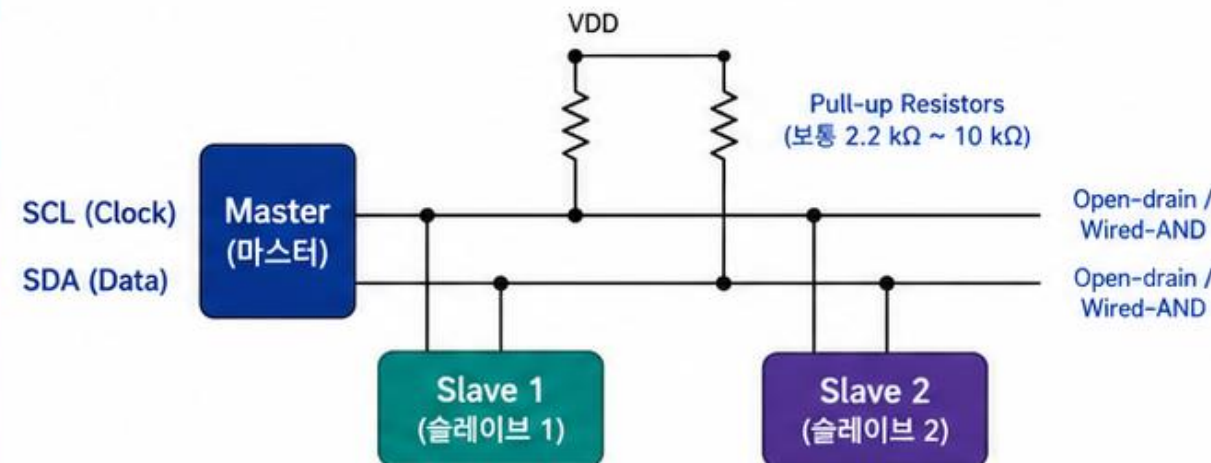
IO버스 품질측정

I²C Bus: Structure & Data Transfer

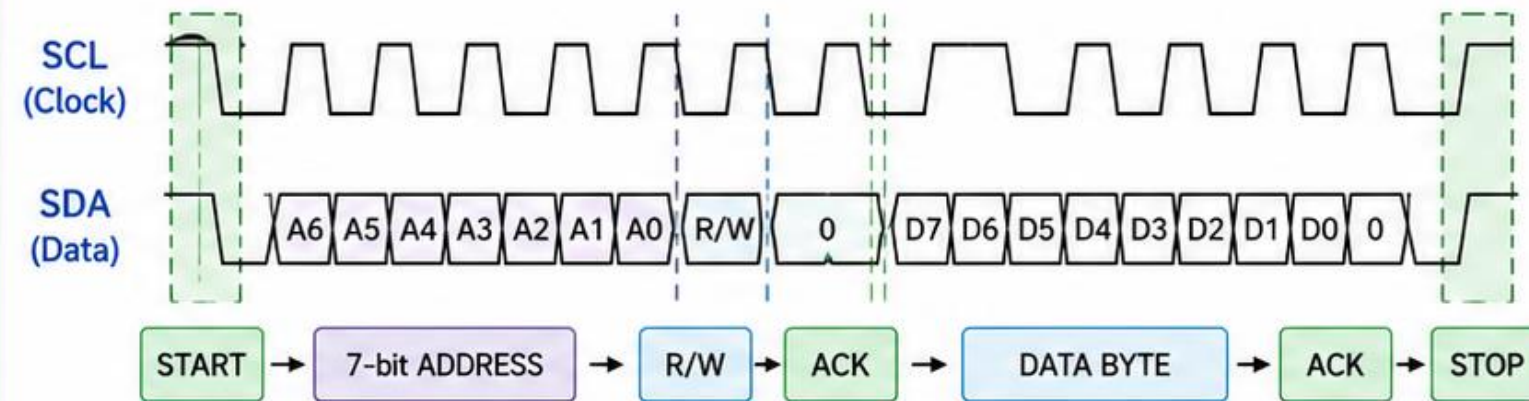
2선식 동기식 직렬 통신의 기본 구조와 측정 포인트

I²C 기본 구조

마스터가 SCL을 생성하고, SDA는 주소 · 명령 · 데이터를 양방향 전송



I²C 데이터 전송 프레임 (예: Write)



✓ SDA는 SCL High 구간에서 안정적, SCL Low 구간에서 변경

I²C 디코딩 설정



1. Threshold Level

유효한 논리 판정을 위한 임계 전압을 설정합니다.



2. Sample Rate & Memory Depth

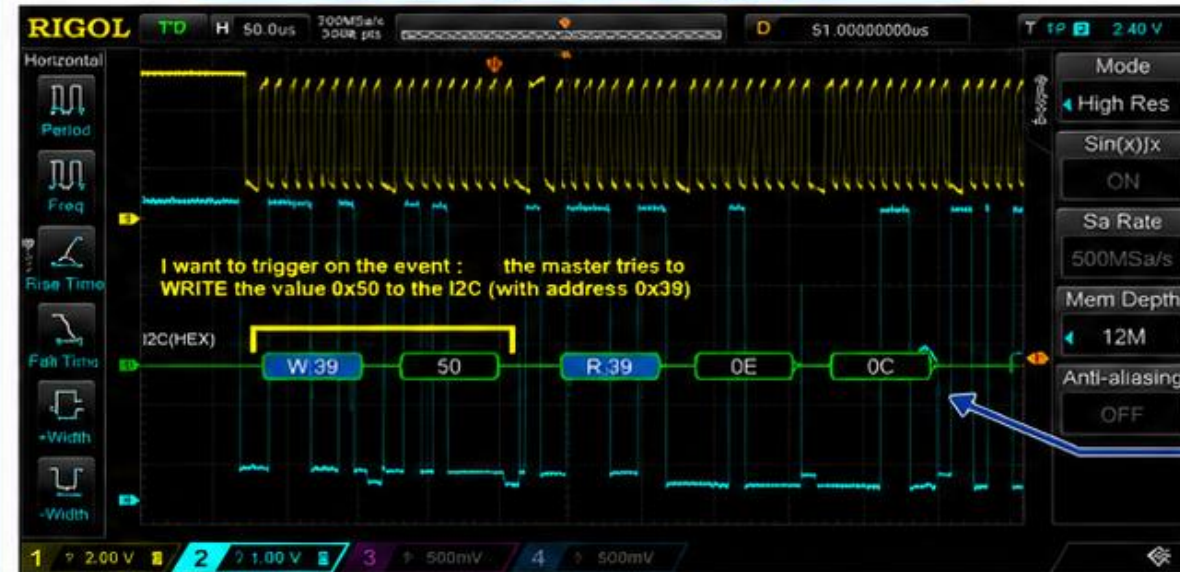
신호 변화를 놓치지 않도록 충분한 샘플링과 캡처 길이를 확보합니다.



3. Trigger 설정

Start 조건, Address 일치 또는 Data 바이트에서 트리거를 설정합니다.

오실로스코프 I²C 디코딩 화면

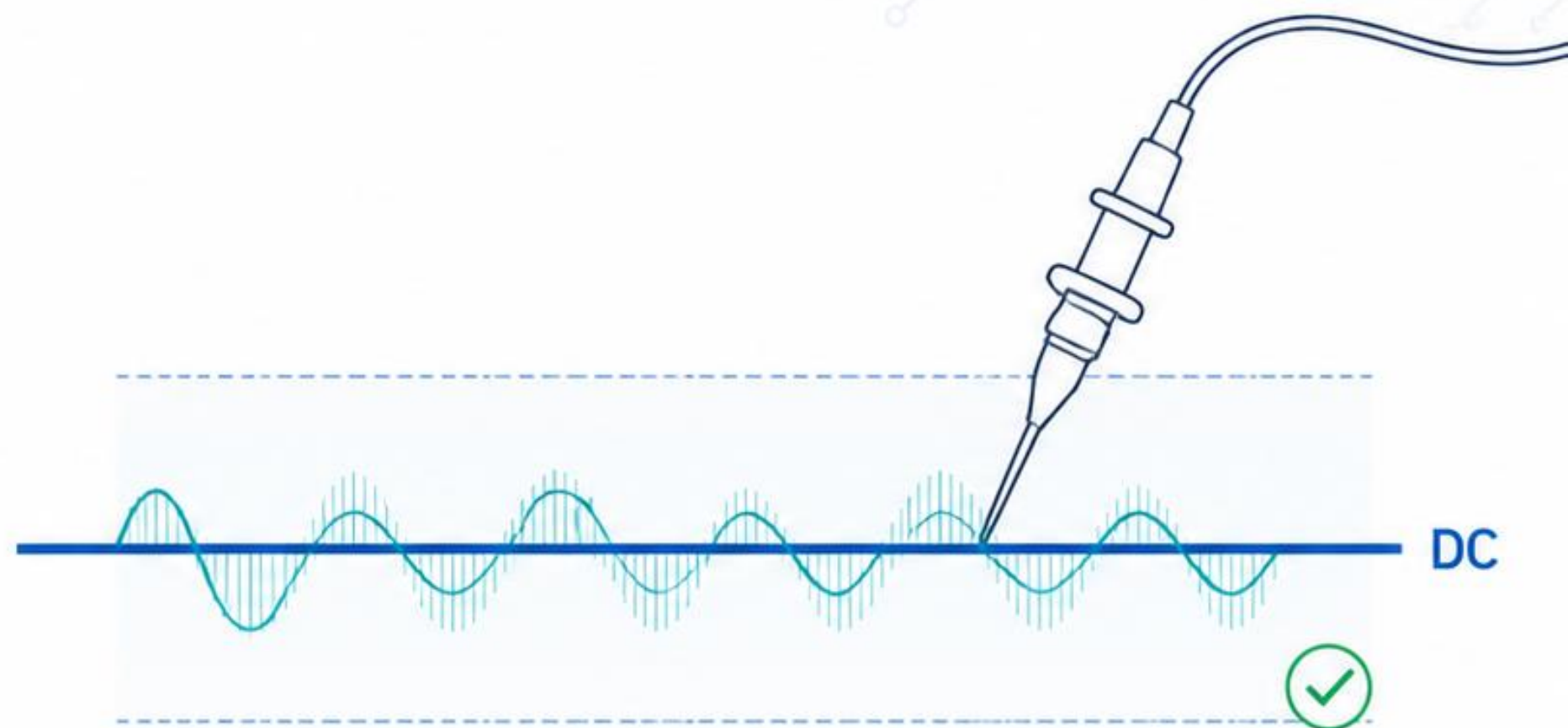


주소 · R/W ·
Data · ACK를
한 화면에서 확인

✓ I²C 측정은 SCL/SDA 신호 품질과 Start-Address-ACK-Data-Stop 순서를 함께 검증하는 것이 핵심입니다.

DC POWER QUALITY MEASUREMENT

DC 전원 품질 측정



DC



Ripple



Spec

DC전원 품질

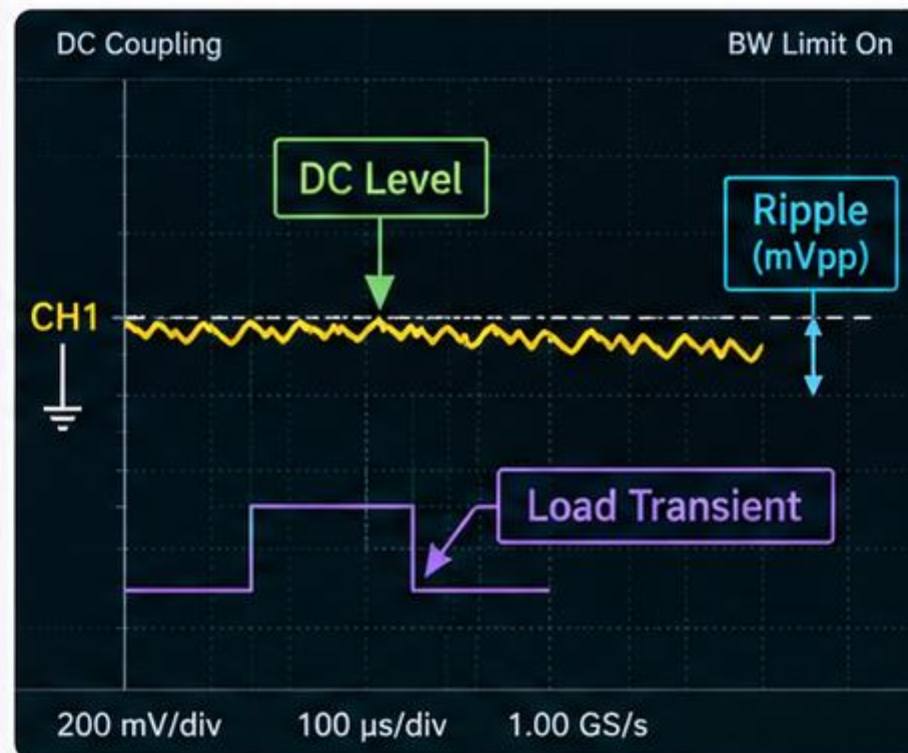
1. Datasheet 확인

Table 7-3. Processor Graphics (V_{CCGT}) Supply DC Voltage and Current Specifications (Sheet 1 of 2)

Symbol	Parameter	Segment	Min	Typ	Max	Unit	Note ¹
Operating voltage	Active voltage Range for V _{CCGT}	U GT2/GT1 (15W)	0	—	1.52	V	2, 3, 6, 8
		AML Y-4/2 Core GT2 (7W)	0	—	1.52		
TOB _{GT}	V _{CCGT} Tolerance	PS0, PS1	—	—	±20	mV	3, 4
		PS2, PS3	—	—	±20	mV	3, 4
Ripple	Ripple Tolerance		$I_L \leq 0.5$	$0.5 < I_L < I_{CCTDC}$	$I_{CCTDC} < I_L \leq I_{CCMAX}$		
		PS0	+30/-10	±10	±15	mV	3, 4
		PS1	+30/-10	±15	±15		
		PS2	+30/-10	+30/-10	+30/-10		
		PS3	+30/-10	+30/-10	+30/-10		

전압 범위 · 허용오차 · 리플 · 부하 조건을
먼저 정의

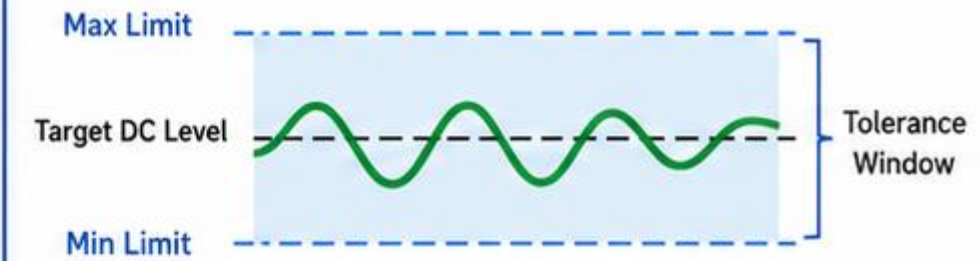
2. 전원 파형 측정



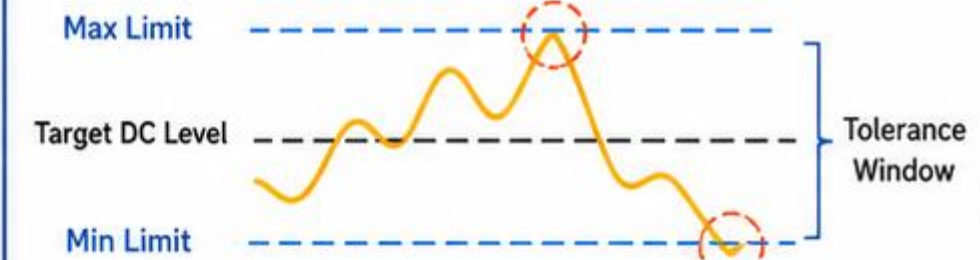
측정 조건:
프로브 · 대역폭 제한 · 접지 · 부하 상태

3. Spec Compliance 판정

PASS: Within Spec



FAIL: Out of Spec



측정값을 Min / Max / Tolerance / Ripple
기준과 비교



DC 전원 품질은 “전압을 측정했다”가 아니라, 데이터시트의 동작 전압 · 허용오차 · 리플 기준을 만족하는지 확인하는 것입니다.

Ripple 측정 방법

DC Ripple Measurement: Coupling, Histogram & FFT

리플 크기뿐 아니라 분포와 주파수 성분까지 확인합니다

① 1. Coupling 설정

DC Coupling: DC Level 포함



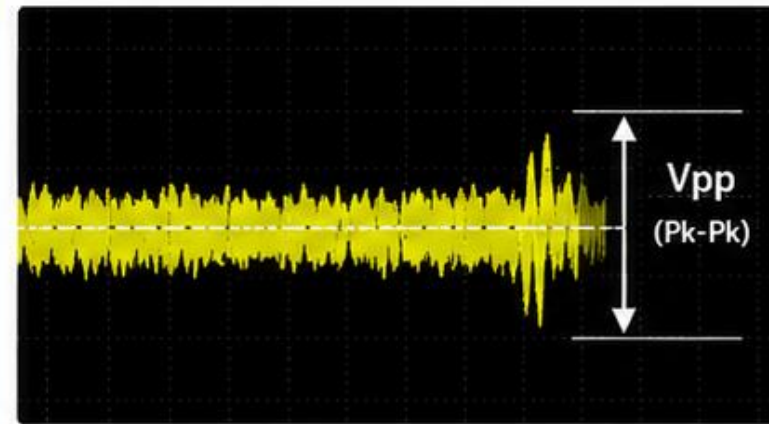
AC Coupling: DC 제거 후 리플 확대 관찰



저주파 리플·느린 Load 변화는 AC coupling 영향 확인

② 2. Ripple Pk-Pk 측정

Measure 기능에서 Vpp(Pk-Pk) 측정



대상 Rail의 허용 리플 기준과 비교



최대값 - 최소값

- 단위: V
- 리플 크기 기준으로 Pass / Fail 판단



AC Coupling 참고

- AC coupling은 DC 레벨을 제거하지만, 고역통과(High-pass) 특성으로 인해 매우 저주파 리플·느린 Load 변화는 감쇠되거나 왜곡될 수 있습니다.

③ 3. Histogram & FFT 분석



주된 히스토그램 기둥 = 가장 빈번한 Pk-Pk 값
→ 정상(Typical) 조건에서의 대표적인 리플 크기



주변 작은 기둥 = 간헐적 스파이크·버스트 등 이상 분포
→ 간헐적 교란/이상치가 Pk-Pk 값을 키울 수 있음

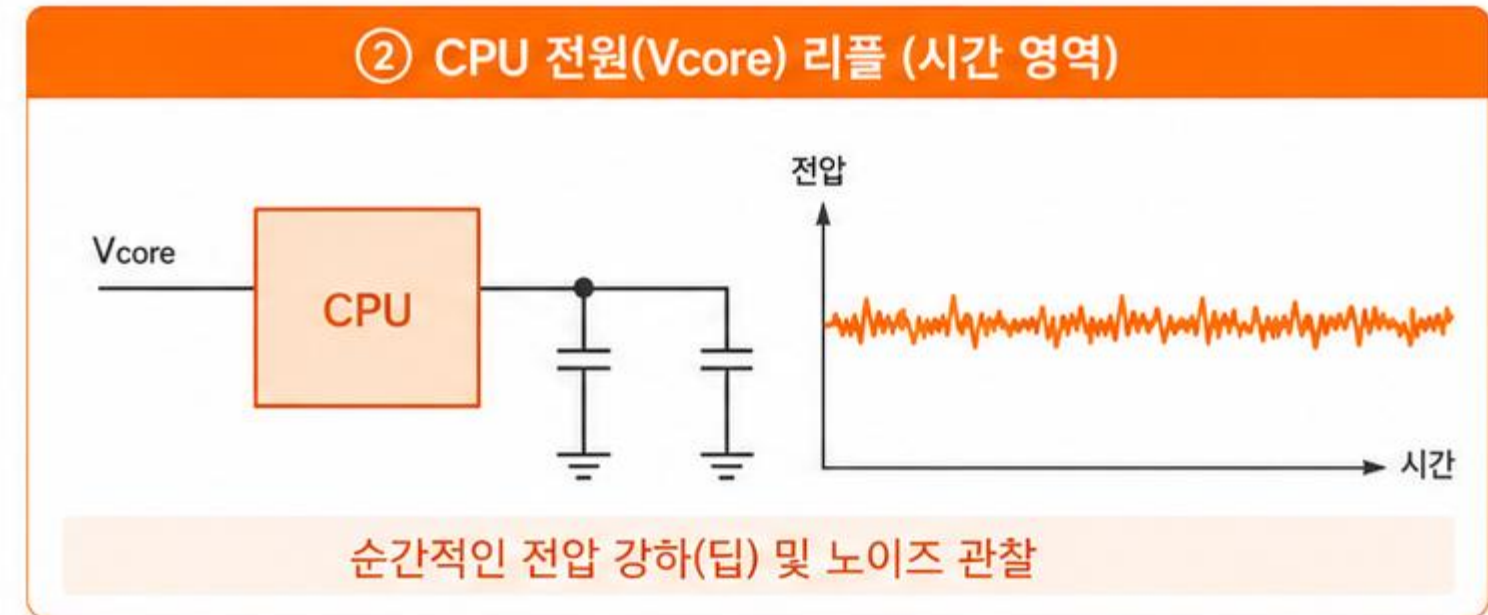
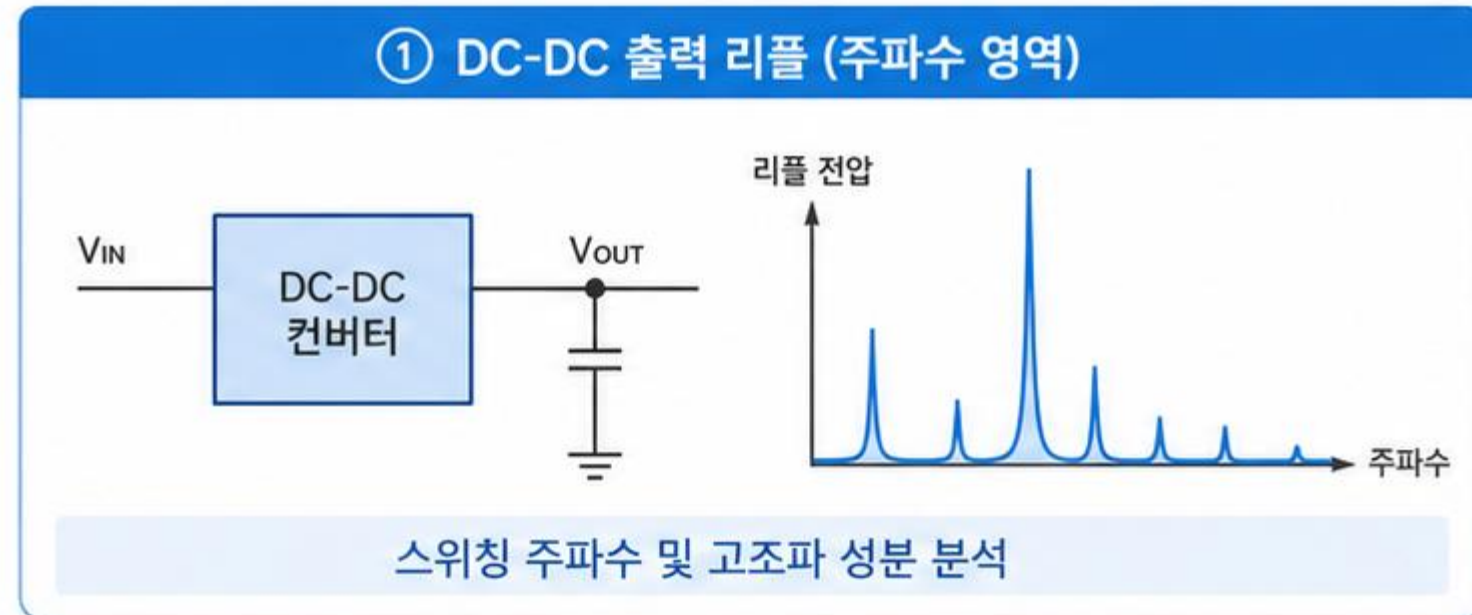


FFT로 주파수 성분을 확인해 원인과 상관 분석
→ 교란의 주파수 특성을 파악하여 가능한 원인(스위칭, 클럭, 레귤레이터 동작, EMI 소스 등)을 추적



정확한 리플 분석은 AC coupling으로 관찰하고, Pk-Pk·Histogram으로 분포를 확인한 뒤 FFT로 원인 주파수를 추적하는 과정입니다.

Ripple 접근 방식



측정 목적에 맞는 프로브 선택이 핵심입니다



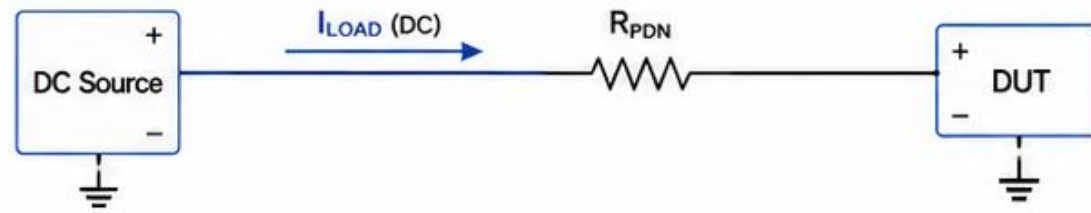
핵심 메시지: DC-DC는 주파수 영역, CPU 전원은 시간 영역에서 접근하고, 그에 맞는 프로브를 사용해야 정확한 리플을 볼 수 있습니다.

Voltage Drop, Droop

Voltage Drop vs. Voltage Droop

지속적인 IR Drop과 순간적인 Droop은 원인·측정·대응 방식이 다릅니다

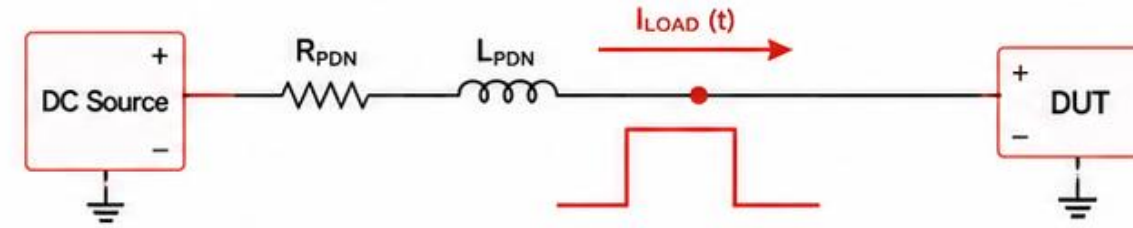
Voltage Drop (IR Drop)



- 정의** : PDN 배선·비아의 DC 저항에 따른 지속 전압 강하
- 주요 원인** : 전원 경로 저항 · 높은 DC 부하 전류
- 시스템 영향** : 동작 전압 감소 · 로직 마진 축소

$$V_{DROP} = I_{LOAD} \times R_{PDN}$$

Voltage Droop (Transient)

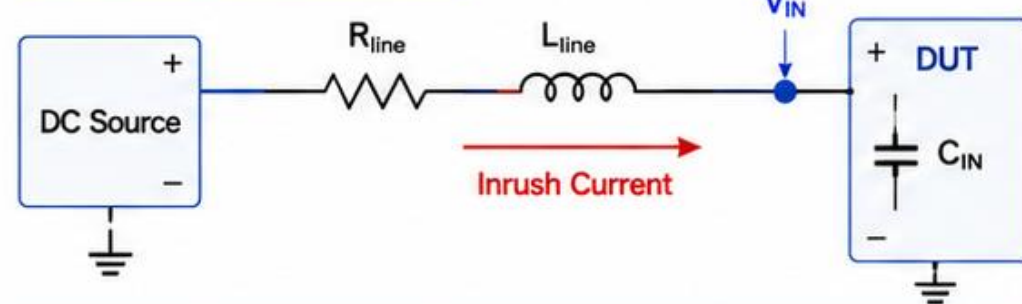


- 정의** : 급격한 전류 변화율과 기생 L/C에 의한 순간 전압 강하
- 주요 원인** : C-Copy Down(부팅) · 메모리 버스트 · 클럭 스위칭 · Inrush Current
- 시스템 영향** : Reset · Freeze · 데이터 오류 위험

$$V_{DROOP} \approx L \times \frac{di}{dt} + I \times R$$

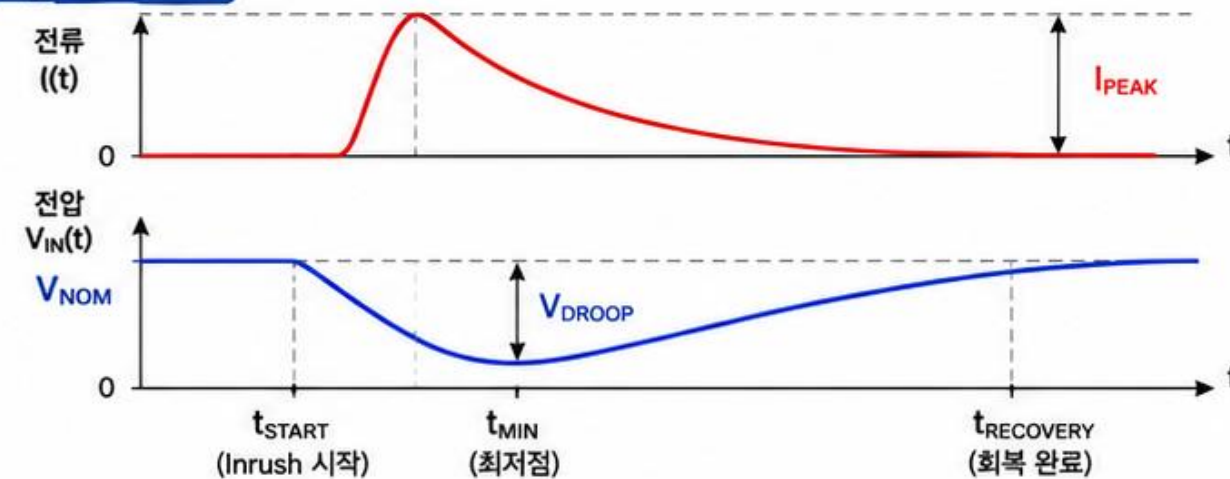
Inrush Current로 촉발된 Voltage Droop 측정

1) 구성도 (측정 포인트: V_IN)



- 입력 커패시터 충전 전류가 PDN 임피던스를 통과하며 순간 Drop을 유발

2) 파형 개념도



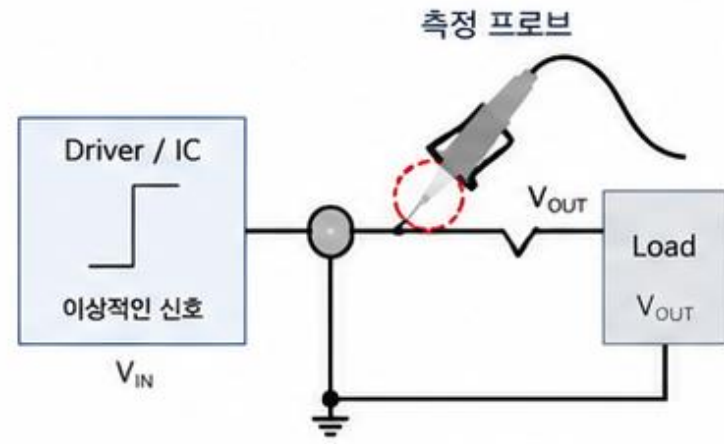
- I_{PEAK} : Inrush Peak
- V_{DROOP} : 최대 전압 강하
- t_{MIN} : 최저점 도달 시간
- $t_{RECOVERY}$: 회복 시간

IR Drop은 DC 전류와 경로 저항의 문제, Voltage Droop은 과도 전류와 PDN 임피던스의 문제로 분리해 측정합니다.

측정시 주의사항

측정 장비(오실로스코프, 프로브, 액세서리)로 인한 오차가 발생하면 Overshoot / Undershoot가 발생하여 잘못된 결과를 초래합니다.

측정 오차 발생 Concept

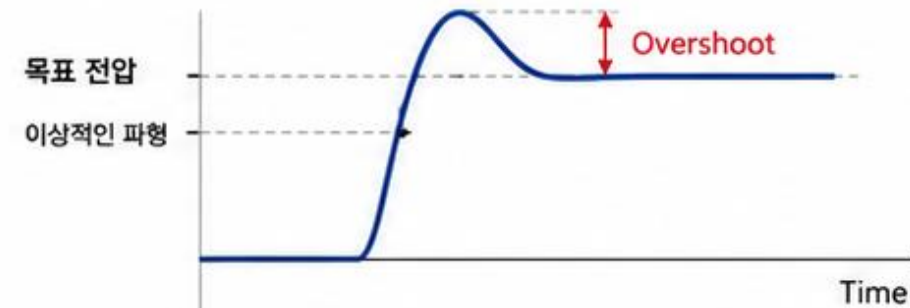


측정 장비로 인한 문제

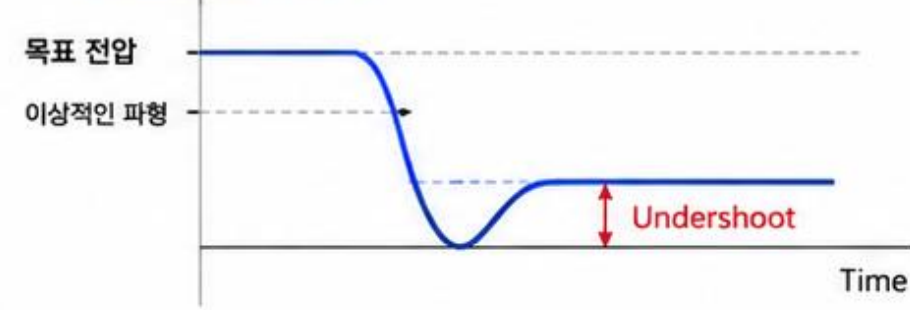
- 프로브 Compensation 불량
- 긴 Ground Lead / 잘못된 접지
- 임피던스 불일치 (Probe / 케이블 / Termination)
- 대역폭 부족
- 과도한 프로브 부하(Probe Loading)

잘못된 측정 결과 (Overshoot / Undershoot 발생)

Overshoot (상승 시)



Undershoot (하강 시)

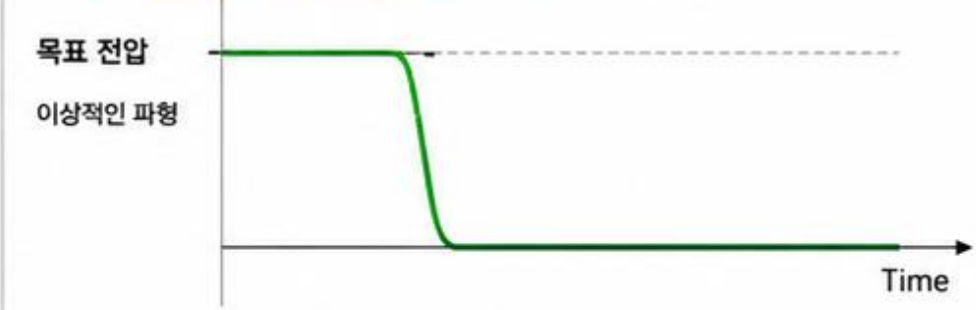


정확한 측정 결과 (오차 제거 후)

Clean Step Response (상승 시)



Clean Step Response (하강 시)



측정 항목

Voltage 측정



- DC / AC Voltage
- Ripple / Noise
- Transient (Droop/Overshoot)

Current 측정



- DC / AC Current
- Inrush Current
- Transient (Spike/Overshoot)

정확한 측정을 위한 핵심



1. Probe Compensation



2. Ground Lead 최소화



3. 적절한 프로브 선택



4. Termination & 임피던스 매칭



Overshoot / Undershoot 제거
정확한 측정

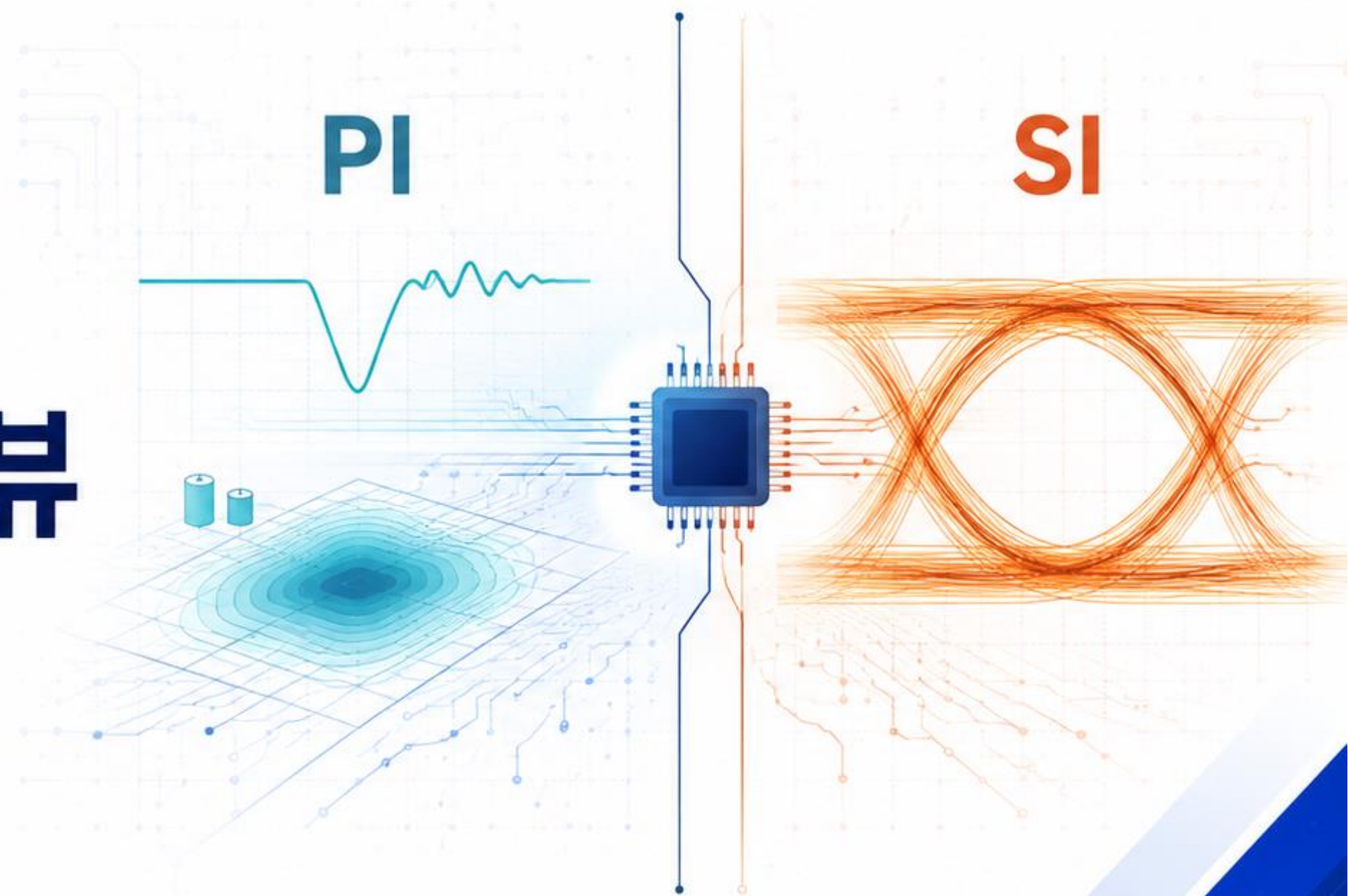


핵심 메시지

측정 시스템(프로브, 접지, 임피던스 등)의 영향을 최소화해야 실제 회로의 신호를 정확하게 측정할 수 있습니다.

ADVANCED PI vs SI PREVIEW

고급 PI vs SI 프리뷰

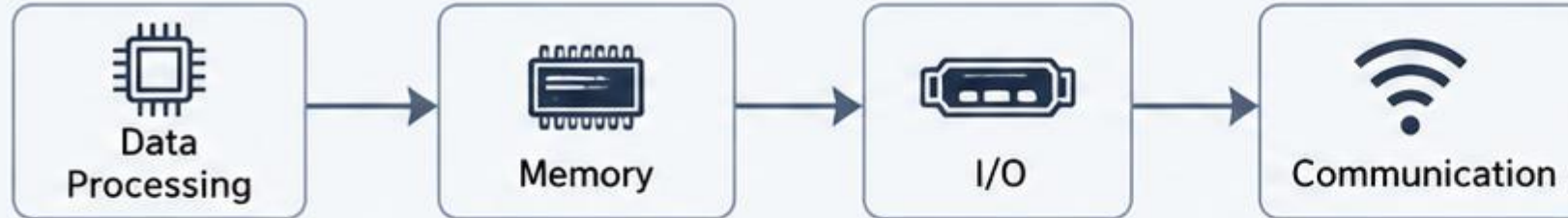


고급 PI vs SI 프리뷰



System Block · High-speed Interface

임베디드 시스템의 핵심 구성부로 데이터 처리 및 고속 Interface 통신을 담당합니다.



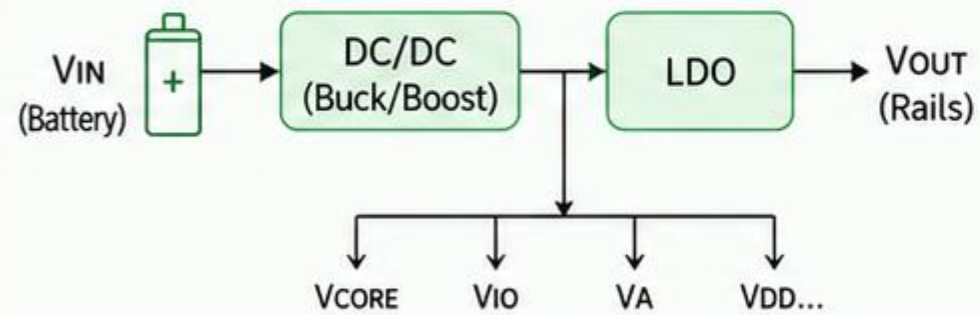
NEXT SEMINAR

System Block의
고속 인터페이스와
Signal Integrity 측정은
다음 PI·SI 세미나에서 다룹니다.



Power Block (DC/DC)

Buck, Boost, LDO를 통해 다양한 전원 Rail을 생성하며,
전압 안정성, Noise 및 Ripple 측정의 핵심 지점입니다.



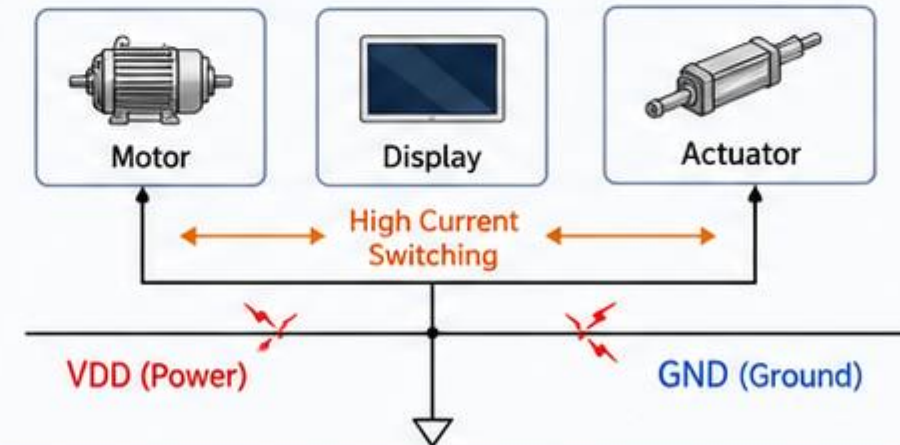
전압 안정성 · Ripple · Noise 측정의 핵심 지점

- ✓ Power Rail
Ripple & Noise
- ✓ 부하 변동에 따른
전원 안정성



Driving Unit (Actuators & 구동)

모터, 디스플레이 등의 구동 과정에서 발생하는
고전류 Switching은 Power/Ground Noise의 원인이 될 수 있습니다.



구동 중 고전류 Switching이 Power/Ground Noise를 유발

- ✓ Switching에 따른
Power/Ground Noise
- ✓ Power Noise가
Signal Quality에
미치는 영향



이번 세미나 : 전원 품질과 동적 부하에 따른 Ripple / Noise 측정

고급 PI vs SI 프리뷰

SI vs PI : 기본 검증 방법론의 한계와 상호 연관성

고속·고집적 시스템에서는 SI(신호 무결성)와 PI(전원 무결성)가 상호 영향을 주며 통합적 검증이 필요합니다.

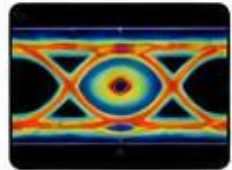
SI (Signal Integrity)

목적

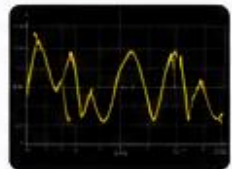


고속 신호의 무결성 확보
(신호 왜곡, 지터, 반사 최소화)

주요 측정/분석



- Eye Diagram
- Jitter (TJ, RJ, DJ)
- S-Parameter (IL, RL)



- Return Loss / Crosstalk
- S-Parameter 분석

고급 접근

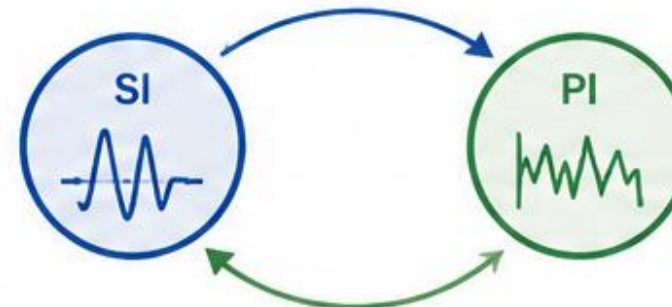


패시브 프로브 사용
S-Parameter 측정 (VNA)

고급 가이드 방향

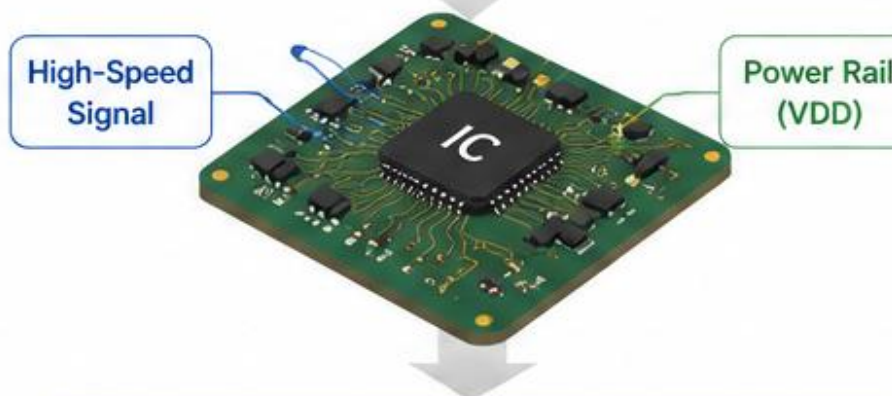
- 전원 노이즈 유발 지터 (PSIJ)
- SSN (Switching Noise) / Ground Bounce
- Return Current Path 관리

SI 와 PI의 상호 영향



상호 영향 예

- 전원 노이즈 ↑ → 지터 ↑
- 전압 강하/노이즈 ↑ → 신호 품질 ↓
- Ground Bounce → 오동작/통신 에러



통합적 검증의 필요성



SI와 PI를 동시에 고려한 통합 검증만이
실제 시스템의 안정적 동작을 보장합니다.

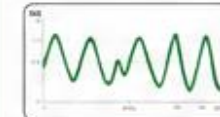
PI (Power Integrity)

목적

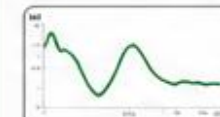


전원/전원선의 안정성 확보
(전압 강하, 리플, 노이즈 최소화)

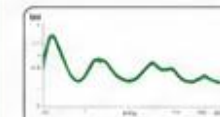
주요 측정/분석



- DC Voltage Drop (IR Drop)
- AC Ripple / Noise



- PDN 임피던스
- Target Impedance



- Inrush Current
- Droop / Recovery

고급 접근



Power Rail Probe 사용
VNA 2-Port Shunt-Thru 측정

고급 가이드 방향

- PDN 임피던스 최적화
- Jitter Decomposition (지터 분리)
- 전원 순간변화 대응 능력 향상

Q&A

하드웨어 신호 측정 및 디버깅에 대한 궁금증을 함께 해결해 드립니다.



NEXT SEMINAR

Advanced PI·SI 기초 이론 및 시뮬레이션

Power Integrity와 Signal Integrity의 설계·해석 방법을 다음 세션에서 이어갑니다.



Power Integrity

| Signal Integrity

| Measurement & Debug

감사합니다.
THANK YOU

 WEBSITE

WWW.WAVEINSENSE.COM

 EMAIL ADDRESS

INQUIRY@WAVEINSENSE.COM

 PHONE NUMBER

070.8211.2513